

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-91568

(P2001-91568A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl. ⁷	識別記号	F I	テーマード [*] (参考)
G 0 1 R	31/26	G 0 1 R 31/26	G 2 G 0 0 3
	31/28	31/12	Z 2 G 0 1 5
	31/3183	31/28	H 2 G 0 3 2
	31/319		Q
// G 0 1 R	31/12		R
審査請求 未請求 請求項の数18 O L (全 38 頁)			

(21)出願番号 特願平11-263472

(22)出願日 平成11年9月17日(1999.9.17)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 石田 雅裕

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(72)発明者 山口 隆弘

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(74)代理人 100087479

弁理士 北野 好人

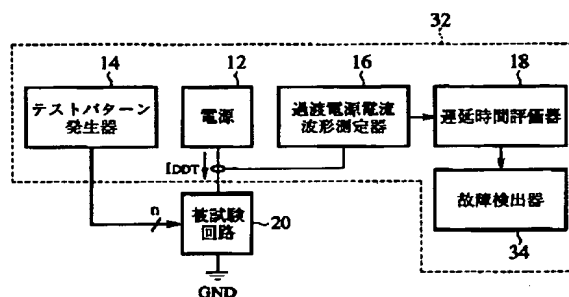
最終頁に続く

(54)【発明の名称】 半導体集積回路の試験装置及び試験方法

(57)【要約】

【課題】 可観測性が高く、簡便に遅延故障や縮退故障等を検出することができる半導体集積回路の試験装置及び試験方法を提供する。

【解決手段】 半導体集積回路20の被試験バスを活性化させるテストパターンを、半導体集積回路に inputsするテストパターン入力手段14と、被試験バスが活性化されている際に半導体集積回路に供給される過渡電源電流を測定する過渡電源電流測定手段16と、過渡電源電流測定手段で測定された過渡電源電流により、被試験バスにおける故障の有無を判断する故障検出手段34とを有している。



【特許請求の範囲】

【請求項1】 半導体集積回路の被試験バスを活性化するテストパターンを、前記半導体集積回路に入力するテストパターン入力手段と、
前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流を測定する過渡電源電流測定手段と、
前記過渡電源電流測定手段で測定された前記過渡電源電流により、前記被試験バスにおける故障の有無を判断する故障検出手段とを有することを特徴とする半導体集積回路の試験装置。

【請求項2】 請求項1記載の半導体集積回路の試験装置において、
前記過渡電源電流測定手段は、前記過渡電源電流の波形の幅を測定し、
前記故障検出手段は、前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することを特徴とする半導体集積回路の試験装置。

【請求項3】 請求項1記載の半導体集積回路の試験装置において、
前記過渡電源電流測定手段は、前記過渡電源電流の波形の幅を測定し、
前記故障検出手段は、前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することを特徴とする半導体集積回路の試験装置。

【請求項4】 請求項1記載の半導体集積回路の試験装置において、
前記過渡電源電流測定手段は、前記被試験バスに見込まれる標準的な遅延時間より所定時間遅いタイミングにおける前記過渡電源電流の値を測定し、
前記故障検出手段は、前記タイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より大きい場合に、前記被試験バスに遅延故障が生じていると判断することを特徴とする半導体集積回路の試験装置。

【請求項5】 請求項1記載の半導体集積回路の試験装置において、
前記過渡電源電流測定手段は、前記被試験バスに見込まれる標準的な遅延時間より所定時間早いタイミングにおける前記過渡電源電流の値を測定し、
前記故障検出手段は、前記タイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より小さい場合に、前記被試験バスに縮退故障が生じていると判断することを特徴とする半導体集積回路の試験装置。

【請求項6】 請求項1記載の半導体集積回路の試験装

置において、

前記過渡電源電流測定手段は、前記過渡電源電流の積分値を測定し、

前記故障検出手段は、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することを特徴とする半導体集積回路の試験装置。

【請求項7】 請求項1記載の半導体集積回路の試験装置において、

前記過渡電源電流測定手段は、前記過渡電源電流の積分値を測定し、

前記故障検出手段は、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することを特徴とする半導体集積回路の試験装置。

【請求項8】 請求項1記載の半導体集積回路の試験装置において、

前記過渡電源電流測定手段は、前記過渡電源電流の積分値を測定し、

前記故障検出手段は、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に相当する積分値より所定値以上大きい場合に、前記被試験バスに微小なオープン欠陥又は抵抗性のオープン欠陥が生じていると判断することを特徴とする半導体集積回路の試験装置。

【請求項9】 半導体集積回路の被試験バスを活性化するテストパターンを前記半導体集積回路に入力し、前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流により、前記被試験バスにおける故障の有無を判断することを特徴とする半導体集積回路の試験方法。

【請求項10】 請求項9記載の半導体集積回路の試験方法において、

前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することを特徴とする半導体集積回路の試験方法。

【請求項11】 請求項9記載の半導体集積回路の試験方法において、

前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することを特徴とする半導体集積回路の試験方法。

【請求項12】 請求項9記載の半導体集積回路の試験方法において、

前記被試験バスに見込まれる標準的な遅延時間より所定

時間遅いタイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より大きい場合に、前記被試験バスに遅延故障が生じていると判断することを特徴とする半導体集積回路の試験方法。

【請求項13】 請求項9記載の半導体集積回路の試験方法において、

前記被試験バスに見込まれる標準的な遅延時間より所定時間早いタイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より小さい場合に、前記被試験バスに縮退故障が生じていると判断することを特徴とする半導体集積回路の試験方法。

【請求項14】 請求項9記載の半導体集積回路の試験方法において、

前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することを特徴とする半導体集積回路の試験方法。

【請求項15】 請求項9記載の半導体集積回路の試験方法において、

前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することを特徴とする半導体集積回路の試験方法。

【請求項16】 請求項9記載の半導体集積回路の試験方法において、

前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上大きい場合に、前記被試験バスに微小なオープン欠陥又は抵抗性のオープン欠陥が生じていると判断することを特徴とする半導体集積回路の試験方法。

【請求項17】 半導体集積回路の被試験バスを活性化するテストパターンを、前記半導体集積回路に入力するテストパターン入力手段と、

前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流の波形の幅を測定する過渡電源電流波形測定手段と、

前記過渡電源電流波形測定手段で測定された前記過渡電源電流の波形の幅により、前記被試験バスにおける遅延時間を測定する遅延時間測定手段とを有することを特徴とする遅延時間の測定装置。

【請求項18】 半導体集積回路の被試験バスを活性化するテストパターンを前記半導体集積回路に入力し、前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流の波形の幅により、前記被試験バスにおける遅延時間を測定することを特徴とする遅延時間の測定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の試験装置及び試験方法に係り、特に、可観測性が高く、簡便に遅延故障や縮退故障の有無を検出する半導体集積回路の試験装置及び試験方法に関する。

【0002】

【従来の技術】今日、CMOS論理回路等を用いた半導体集積回路装置が広く普及している。かかる半導体集積回路装置は、所定の性能が要求されるため、製造後に、所定の性能を満足しているか否かの試験が行われる。

【0003】半導体集積回路において、信号が伝搬する経路のことをバスといい、バスの始点である入力信号線から、バスの終点である出力信号線までの遅延時間のことを、バス遅延時間という。

【0004】近時では、半導体集積回路の動作速度の高速化に伴い、半導体集積回路のバス遅延時間を測定する必要性が増大している。

【0005】従来のバス遅延時間の測定方法では、被試験バスのバス遅延時間の遅れによる遅延故障を検出するために、被試験バス上の論理ゲートを活性化させ、被試験バスの入力信号線に生成された信号遷移を被試験バスの出力信号線まで伝搬させていた。ここで、活性化とは、被試験バス上の論理ゲートをすべてスイッチングさせることをいう。

【0006】そして、被試験バスの遅延時間が所定の時間より長い場合には、被試験バスにバス遅延故障が生じていると判断し、被試験バスの遅延時間が所定の時間より短い場合には、被試験バスにバス遅延故障が生じていないと判断していた。

【0007】

【発明が解決しようとする課題】しかしながら、このような従来のバス遅延時間の試験方法では、被試験バスの入力信号線に生成された信号遷移を被試験バスの出力信号線まで伝搬させなければならず、出力信号線に伝搬することができない被試験バスについては、試験することができなかった。即ち、従来のバス遅延時間の測定方法では、可観測性が低かった。

【0008】また、従来のバス遅延時間の測定方法では、被試験バスを活性化するために、被試験バス上にないすべてのサイド入力に非制御入力値を入力しなければならず、このような条件を満たすのは困難であった。ここで、サイド入力とは、被試験バス上にない入力ラインのことであり、非制御入力値とは、各論理ゲートの出力を一意的に決定しない論理値のことである。例えば、ANDゲートやNANDゲートの場合は、非制御入力値は論理値“1”であり、ORゲートやNORゲートの場合は、非制御入力値は論理値“0”である。

【0009】また、従来のバス遅延時間の測定方法では、サイド入力への入力値に上記のような制約が加わる

ため、被試験バスを活性化する2つのテストパターン、即ち、テストパターン系列(テストベクトルペアともいう)を生成するのは困難であった。

【0010】また、従来のバス遅延時間の測定方法では、ひげ状のバースが出力信号線に出力されることがないように、サイド入力にひげ状のバースが生じないようにする必要があるが、このような条件を満たすようにサイド入力を設定するのは困難であった。

【0011】一方、可観測性が高く、テストパターンの生成が容易な試験方法として、静止電源電流(quiescent power supply current)テスト法(I_{000} テスト法)が提案されているが、 I_{000} テスト法は、半導体集積回路の安定状態における電源電流を測定するものであり、過渡状態における電源電流を測定するものではないため、バス遅延時間を測定することはできない。即ち、 I_{000} テスト法は、主として半導体集積回路のブリッジ欠陥の有無を対象とするものであり、遅延故障の要因となるようなオープン欠陥やパラメトリック欠陥、即ち製造プロセスにおけるパラメータの異常等を検出することができない。

【0012】また、 I_{000} テスト法に代わるテスト法として、半導体集積回路に供給される電源電流の過渡状態の電流値、即ち過渡電源電流の瞬時値を測定するテスト法(I_{00T} テスト法)が提案されている。なお、 I_{00T} テスト法については、例えば、M.Sachdev, P.Jamssen, and V. Zieren, "Defect Detection with Transient Current Testing and its Potential for Deep Sub-micron ICs," Proceedings of IEEE International Test Conference, pp.204-213, 1998に記載されている。Sachdevらは、 I_{00T} テスト法を I_{000} テスト法に代わるものとして評価し、ディープサブミクロンVLSIの製造テストに I_{00T} テスト法を適用しうる旨指摘している。彼らは、実験の結果から、 I_{00T} テストによれば、バックグラウンド電流のレベルが高いデバイスにおいても故障の検出を行うことができる旨指摘している。しかし、彼らは、バス遅延故障の試験方法については何ら言及していない。

【0013】また、近時では、半導体集積回路の集積度の向上に伴い、被試験バスの数が増大し続けている。しかも、半導体集積回路の深い階層レベルに回路モジュールが埋め込まれてしまうため、被試験バスの遅延時間の測定が更に困難になっている。そこで、このような問題を解決するために、半導体集積回路内のフリップフロップの一部又は全部をスキャンできるようにし、外部からの制御によってフリップフロップの内容を順次読み出すことができるような設計をすることが提案されているが、この場合には、フリップフロップの内容を読み出すために多くのクロックを必要とするため、試験時間が長くなってしまふ。

【0014】また、近時では、半導体集積回路の高集積化が急速に進められており、これに伴いバス遅延時間の

測定を行うべき被試験バスの数も増大しているため、バス遅延時間を測定するために長時間を要している。このため、近時では、試験コストの増大が問題となっている。

【0015】従って、半導体集積回路のバス遅延時間を効率的に測定し、試験コストを削減すべく、バス遅延時間の可観測性が高く、テストパターン生成が容易な試験方法が待望されていた。

【0016】更には、近時では、微小オープン欠陥や抵抗性オープン欠陥が問題となりつつある。微小オープン欠陥とは、信号線に生じた非常に小さな断線欠陥をいい、この欠陥を通じてごく微量なトンネル電流が流れる。また、抵抗性オープン欠陥とは、コンタクト不良により信号線と信号線との間のコンタクト抵抗が正常値より大きくなってしまったり、信号線に生じた断線等により信号線の抵抗値が正常値より大きくなってしまふ欠陥をいい、この欠陥を流れる電流は正常値より小さくなる。信号線等に微小オープン欠陥や抵抗性オープン欠陥が生じている場合には、信号の遷移時間が遅れるため、バス遅延時間が大きくなる。また、微小オープン欠陥や抵抗性オープン欠陥は、回路に流れる電流を増加させる場合があり、消費電力を増大させる可能性がある。従って、微小オープン欠陥や抵抗性オープン欠陥は、高速かつ低消費電力の半導体集積回路装置を実現する上で阻害要因となる。しかし、従来の試験方法では、この微小オープン欠陥や抵抗性オープン欠陥を効率的に検出することができなかった。

【0017】本発明の目的は、可観測性が高く、簡便に遅延故障や縮退故障等を検出することができる半導体集積回路の試験装置及び試験方法を提供することにある。

【0018】

【課題を解決するための手段】上記目的は、半導体集積回路の被試験バスを活性化するテストパターンを、前記半導体集積回路に入力するテストパターン入力手段と、前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流を測定する過渡電源電流測定手段と、前記過渡電源電流測定手段で測定された前記過渡電源電流により、前記被試験バスにおける故障の有無を判断する故障検出手段とを有することを特徴とする半導体集積回路の試験装置により達成される。これにより、遅延故障や縮退故障の有無を、高い可観測性で、簡便に検出することができる。

【0019】また、上記の半導体集積回路の試験装置において、前記過渡電源電流測定手段は、前記過渡電源電流の波形の幅を測定し、前記故障検出手段は、前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することが望ましい。

【0020】また、上記の半導体集積回路の試験装置に

において、前記過渡電源電流測定手段は、前記過渡電源電流の波形の幅を測定し、前記故障検出手段は、前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することが望ましい。

【0021】また、上記の半導体集積回路の試験装置において、前記過渡電源電流測定手段は、前記被試験バスに見込まれる標準的な遅延時間より所定時間遅いタイミングにおける前記過渡電源電流の値を測定し、前記故障検出手段は、前記タイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より大きい場合に、前記被試験バスに遅延故障が生じていると判断することが望ましい。

【0022】また、上記の半導体集積回路の試験装置において、前記過渡電源電流測定手段は、前記被試験バスに見込まれる標準的な遅延時間より所定時間早いタイミングにおける前記過渡電源電流の値を測定し、前記故障検出手段は、前記タイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より小さい場合に、前記被試験バスに縮退故障が生じていると判断することが望ましい。

【0023】また、上記の半導体集積回路の試験装置において、前記過渡電源電流測定手段は、前記過渡電源電流の積分値を測定し、前記故障検出手段は、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することが望ましい。

【0024】また、上記の半導体集積回路の試験装置において、前記過渡電源電流測定手段は、前記過渡電源電流の積分値を測定し、前記故障検出手段は、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することが望ましい。

【0025】また、上記の半導体集積回路の試験装置において、前記過渡電源電流測定手段は、前記過渡電源電流の積分値を測定し、前記故障検出手段は、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に相当する積分値より所定値以上大きい場合に、前記被試験バスに微小なオープン欠陥又は抵抗性のオープン欠陥が生じていると判断することが望ましい。

【0026】また、上記目的は、半導体集積回路の被試験バスを活性化するテストパターンを前記半導体集積回路に入力し、前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流により、前記被試験バスにおける故障の有無を判断することを特徴

とする半導体集積回路の試験方法により達成される。これにより、遅延故障や縮退故障の有無を、高い可観測性で、簡便に検出することができる。

【0027】また、上記の半導体集積回路の試験方法において、前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することが望ましい。

【0028】また、上記の半導体集積回路の試験方法において、前記過渡電源電流の波形の幅が、前記被試験バスに見込まれる標準的な過渡電源電流の波形の幅より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することが望ましい。

【0029】また、上記の半導体集積回路の試験方法において、前記被試験バスに見込まれる標準的な遅延時間より所定時間遅いタイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より大きい場合に、前記被試験バスに遅延故障が生じていると判断することが望ましい。

【0030】また、上記の半導体集積回路の試験方法において、前記被試験バスに見込まれる標準的な遅延時間より所定時間早いタイミングにおける前記過渡電源電流の値が、前記半導体集積回路に過渡電源電流が供給されていると判断すべきしきい値より小さい場合に、前記被試験バスに縮退故障が生じていると判断することが望ましい。

【0031】また、上記の半導体集積回路の試験方法において、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上大きい場合に、前記被試験バスに遅延故障が生じていると判断することが望ましい。

【0032】また、上記の半導体集積回路の試験方法において、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上小さい場合に、前記被試験バスに縮退故障が生じていると判断することが望ましい。

【0033】また、上記の半導体集積回路の試験方法において、前記過渡電源電流の積分値が、前記被試験バスに見込まれる標準的な遅延時間に対応する積分値より所定値以上大きい場合に、前記被試験バスに微小なオープン欠陥又は抵抗性のオープン欠陥が生じていると判断することが望ましい。

【0034】また、上記目的は、半導体集積回路の被試験バスを活性化するテストパターンを、前記半導体集積回路に入力するテストパターン入力手段と、前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流の波形の幅を測定する過渡電源電流波形測定手段と、前記過渡電源電流波形測定手段で測定された前記過渡電源電流の波形の幅により、前記被試験

10

20

30

40

50

バスにおける遅延時間を測定する遅延時間測定手段とを有することを特徴とする遅延時間の測定装置により達成される。これにより、被試験バスのバス遅延時間を、高い可観測性で、簡便に測定することができる。

【0035】また、上記目的は、半導体集積回路の被試験バスを活性化するテストパターンを前記半導体集積回路に入力し、前記被試験バスが活性化されている際に前記半導体集積回路に供給される過渡電源電流の波形の幅により、前記被試験バスにおける遅延時間を測定することを特徴とする遅延時間の測定方法により達成される。これにより、被試験バスのバス遅延時間を、高い可観測性で、簡便に測定することができる。

【0036】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による遅延時間測定方法等について説明する前に、本実施形態の前提となる基本原理について説明する。

【0037】まず、半導体集積回路に広く用いられるCMOSインバータの過渡応答について、図1を用いて説明する。図1は、CMOSインバータの過渡応答を示す図である。図1(a)において、実線は入力電圧 V_{in} を示しており、破線は出力電圧 V_{out} を示している。図1(b)は、インバータに流れる過渡電流 I_o を示している。図1(c)は、インバータの入力に立ち上がり遷移が生じる際の各部電流を示しており、図1(d)は、インバータの入力に立ち上がり遷移が生じる場合の各部電流を示している。

【0038】図1(a)に示すように、インバータへの入力、“1”から“0”に遷移すると、インバータの出力は“0”から“1”に遷移する。この際、入力電圧 V_{in} が、n-MOSトランジスタのしきい値電圧より高く、p-MOSトランジスタのしきい値電圧より低い瞬間においては、n-MOSトランジスタとp-MOSトランジスタの両者が瞬間的に同時にオンとなる。従って、図1(c)に示すように、電源 V_{DD} からグランドへ貫通電流 I_s が流れる。

*

$$I_o = x(t) = \begin{cases} 0, & t \leq \frac{V_{THN}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{THN}) \cdot t_r} t - \frac{V_{THN} \cdot I_{Smax}}{(V_{SP} - V_{THN})}, & \frac{V_{THN}}{V_{DD}} t_r < t \leq \frac{V_{SP}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP}) \cdot t_r} t - \frac{(V_{DD} - V_{THP}) \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP})}, & \frac{V_{SP}}{V_{DD}} t_r < t \leq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r \\ 0, & t > \frac{V_{THP}}{V_{DD}} t_r \end{cases} \quad \dots (1)$$

【0047】で近似することができる。

【0048】なお、式(1)において、 I_{Smax} はインバータに流れ込む過渡電流 I_o の最大値であり、 V_{DD} は電源電圧であり、 V_{THN} はn-MOSトランジスタのしきい値電圧であり、 V_{THP} はp-MOSトランジスタのしきい値電圧であり、 t_r は入力信号の立ち上がり遷移時

*【0039】これと同時に、インバータの出力は“0”から“1”に遷移する。これにより、図1(c)に示すように、電源 V_{DD} からインバータの出力信号線の寄生容量 $C_{1..4}$ に、充電電流 I_c が流れる。

【0040】このように、CMOSインバータの入力に立ち下がりの遷移が生じる場合には、インバータに流れ込む過渡電流 I_o は、貫通電流 I_s と充電電流 I_c との和となる。従って、この場合には、図1(b)に示すように大きな過渡電流 I_o が流れることとなる。

10 【0041】一方、インバータの入力が“0”から“1”に遷移して、インバータの出力が“1”から“0”に遷移する場合には、図1(d)に示すように、インバータの出力信号線の寄生容量 $C_{1..4}$ からグランドに放電電流 I_d が流れる。しかし、電源 V_{DD} からインバータへ流れ込む電流は貫通電流 I_s のみである。

【0042】従って、この場合には、インバータに流れ込む過渡電流 I_o は、貫通電流 I_s のみとなり、図1(b)に示すように小さな過渡電流 I_o が流れる。

20 【0043】次に、CMOSインバータの過渡応答特性について、図2を用いて説明する。図2は、CMOSインバータの過渡応答波形を拡大して示した図である。図2(a)は、インバータの伝達特性と電流応答波形を示しており、図2(b)は、近似した過渡電流応答波形を示している。

【0044】図2(a)に示すように、CMOSインバータの電流 I_o は、入力電圧 V_{in} が上昇するに伴って、三角パルス状に変化する。インバータの出力信号線の寄生容量 $C_{1..4}$ が小さい場合、インバータに流れ込む過渡電流 I_o のほとんどは貫通電流 I_s であり、入力電圧 V_{in} がラング状に遷移すると仮定すると、過渡電流 I_o の波形は図2(b)に示すような三角パルスで近似できる。

【0045】三角パルスで近似された図2(b)の過渡電流 I_o の波形は、

【0046】

【数1】

間である。

【0049】但し、しきい値電圧 V_{THP} は、絶対値を用いた。また、近似式を簡略化すべく、入力電圧 V_{in} の遷移開始のタイミングを0とした。

50 【0050】なお、式(1)はCMOSインバータの場合の近似式であるが、CMOSインバータ以外の論理ゲ

ートの場合にも、同様の式で近似することが可能である。また、入力電圧 V_{in} に立ち下がりの遷移が生じる場合についても、同様の近似式で表すことが可能である。

【0051】図2(b)から分かるように、論理ゲートに流れ込む過渡電流 I_c は、最大値 $I_{s,max}$ に達するまでは単調に増加し、最大値 $I_{s,max}$ に達した後は単調に減少する。また、過渡電流 I_c が最大値 $I_{s,max}$ に達するのは、入力電圧 V_{in} が論理ゲートのスイッチング電圧 V_{sp} に達したときである。即ち、過渡電流 I_c が最大値に達するタイミングは、論理ゲートの入力遷移のタイミングと一致する。

【0052】一方、論理ゲートには遅延時間があるため、論理ゲートの出力遷移のタイミングは、論理ゲートの入力遷移のタイミングよりわずかに遅れる。即ち、過渡電流 I_c がピークに達するタイミングの方が、論理ゲートの出力遷移のタイミングよりわずかに早い。この場合、過渡電流 I_c の波形の立ち下がりエッジは、出力遷移のタイミングに一致すると考えることができる。また、論理ゲートの過渡電流 I_c の波形のパルス幅は、入力電圧 V_{in} の遷移時間、例えば立ち上がりの遷移時間 t_{in} に比例する。

【0053】しかしながら、上記のような伝達特性が成り立つのは、CMOSインバータの出力信号線の寄生容量 C_{load} が小さい場合である。

【0054】これに対し、近時では、半導体集積回路の微細化に伴い、出力信号線の寄生容量 C_{load} が大きくなる傾向にある。このため、電源から論理ゲートに流れ込む過渡電流 I_c のうち、インバータの出力信号線へ流れ込む充電電流 I_{ch} の方が、貫通電流 I_s より大きくなる傾向にある。

【0055】インバータの出力信号線に流れ込む充電電流 I_{ch} が貫通電流 I_s に比べて十分に大きい場合には、過渡電流 I_c の波形がピークに達するタイミングと、充電電流 I_{ch} がピークに達するタイミングとがほぼ一致する。そして、充電電流 I_{ch} は出力信号線の電圧遷移に依存するため、過渡電流 I_c がピークに達するタイミングと、論理ゲートの出力のタイミングとが、ほぼ一致することとなる。

【0056】次に、複数の論理ゲートを用いて半導体集積回路を構成した場合の伝達特性について図3を用いて説明する。図3は、複数の論理ゲートを用いて構成された半導体集積回路の動作原理を示す図である。図3

(a)は、図1に示したCMOSインバータを直列に4つ接続した集積回路であり、図3(b)は、各論理ゲートの入出力電圧特性を示すタイムチャートであり、図3(c)は、半導体集積回路の電源ラインに流れ込む過渡電源電流を示すタイムチャートである。

【0057】図3(a)に示すように、CMOSインバータG1、G2、G3、G4は一つの電源 V_{DD} から電流を供給されている。このため、半導体集積回路の電源ラ

インを流れる過渡電源電流 I_{DD} は、各CMOSインバータを流れる電流 I_{c1} 、 I_{c2} 、 I_{c3} 、 I_{c4} の和となる。従って、過渡電源電流 I_{DD} は、図3(c)に示すような波形となる。

【0058】図3(b)及び図3(c)に示すように、各論理ゲートの過渡電流波形のピーク又は立ち下がりエッジは、論理ゲートの出力が遷移するタイミングに対応している。このため、半導体集積回路の電源電流の過渡応答波形の最終ピーク又は最終の立ち下がりエッジは、半導体集積回路において最後にスイッチングする論理ゲートG4の出力が遷移するタイミングに一致する。

【0059】従って、過渡電源電流の波形の最終ピーク又は最終の立ち下がりエッジのタイミングを検出し、このタイミングを入力遷移のタイミングと比較すれば、被試験バスにおける遅延時間を求めることができる。

【0060】なお、過渡電源電流波形の最終の立ち下がりエッジのタイミングは、例えば、過渡電源電流が既定の電流値になるときのタイミングとすることができる。既定の電流値は、例えば、被試験バス上の最後の論理ゲートの出力が電源電圧の半分の値となるときの電源電流の値とすることができる。また、既定の電流値は、例えば、回路シミュレーションや実際のデバイスを用いた統計データ等から求めることができる。

【0061】そして、上記のようにして求められた被試験バスの遅延時間と、既定の時間とを比較すれば、被試験バスにおいてバス遅延故障が生じているか否かを判断することができる。既定の時間の具体例としては、例えば、半導体集積回路に用いられるクロックの周期 T_{clk} とすることができる。

【0062】次に、バス遅延故障について定義する。

【0063】ここでは、半導体集積回路に2つのテストパターン $T = \langle V_1, V_2 \rangle$ を入力して、バス $P = \{g_0, g_1, g_2, \dots, g_n\}$ を活性化する場合を例に説明する。なお、 g_0 はバス P の入力信号線であり、 g_1, g_2, \dots, g_n はバス P 上の論理ゲート G_1, G_2, \dots, G_n の出力信号線である。また、出力信号線は次の段の論理ゲートの入力信号線でもあるので、 g_0, g_1, \dots, g_{n-1} は、バス P 上の論理ゲート G_1, G_2, \dots, G_n の入力信号線でもある。

【0064】各信号線 g_0, g_1, \dots, g_n の信号遷移のタイミング、例えば、信号電圧が V_{DD} の2分の1となるタイミングをそれぞれ t_0, t_1, \dots, t_n とすると、バス P 上の各論理ゲート G_1, G_2, \dots, G_n のゲート遅延時間 t_{di} は、 $1 \leq i \leq n$ の範囲内で、それぞれ

【0065】

【数2】

$$t_{di} = t_i - t_{i-1} \quad \dots (2)$$

【0066】で表される。

【0067】バス P のバス遅延時間 t_{bus} は、ゲート遅延時間 t_{di} の和である。従って、バス P のバス遅延時間

10

20

30

40

50

t_{od} は、
【0068】
【数3】

$$t_{pd} = \sum_{i=1}^m t_{gdi} = \tau_m - \tau_0 \quad \dots (3)$$

【0069】で表される。
【0070】ところが、実際の半導体集積回路では、論理ゲートの遅延時間は、信号線の欠陥等の影響により変動する。従って、論理ゲート G_i のゲート遅延時間の典型値を $t_{od,typ}$ 、ゲート遅延時間の変動成分を δ_i とすると、実際のゲート遅延時間 t_{odi} は、

【0071】
【数4】
$$t_{odi} = t_{od,typ} + \delta_i, \quad 1 \leq i \leq m \quad \dots (4)$$

【0072】で表される。
【0073】バスPにおいて微小なオープン欠陥や抵抗性のオープン欠陥が生じている場合には、欠陥のある論理ゲートの遅延時間は増加するが、欠陥のない論理ゲートの遅延時間は増加しない。一方、パラメトリック欠陥は、すべての論理ゲートの遅延時間を増加させる。

【0074】そして、バス遅延時間 t_{od} は、ゲート遅延時間の変動に伴って変動する。従って、バスPのバス遅延時間の典型値を $t_{od,typ}$ 、バス遅延時間の変動成分を Δ とすると、バス遅延時間 t_{od} は、

【0075】
【数5】
$$t_{pd} = t_{pd,typ} + \Delta = \sum_{i=1}^m (t_{gdi,typ} + \delta_i) \quad \dots (5)$$

【0076】で表される。
【0077】次に、本実施形態による遅延故障試験方法の基本原理解を図4を用いて説明する。図4は、本実施形態による遅延故障試験方法の基本原理解を示す概念図である。

【0078】図4(a)に示すように、被試験回路(CUT, Circuit Under Test)20には、テストパターン $T = \langle V_1, V_2 \rangle$ が入力される。

【0079】図4(a)に示した被試験回路が正常に動作するためには、入力ラッチにテストパターンを入力してから、出力ラッチに出力信号が出力されるまでの時間が、既定のバス遅延時間内であればならない。

【0080】従って、バスPのバス遅延時間 t_{od} は、信号のセットアップ時間を T_{su} 、装置クロックの周期を T と

$$\tau_{max} = \max_{i,j} \{ \tau_{ij} \}, \quad 1 \leq i \leq n, \quad 1 \leq j \quad \dots (8)$$

【0092】で表される。
【0093】バス P_1, P_2, \dots, P_n におけるバス遅延時間の最大値 $t_{od,max}$ は、出力遷移のタイミング τ_{out} 、

* t_{clk} 、装置クロックのクロックスキューを T_{skw} とすると、

【0081】
【数6】
$$t_{pd} + T_{su} < T_{clk} - T_{skw} \quad \dots (6)$$

【0082】の条件を満たさなければならない。
【0083】そして、式(6)を変形すると、
【0084】
【数7】

$$t_{pd} < T_{clk} - T_{skw} - T_{su} = T' \quad \dots (7)$$

【0085】となる。

【0086】即ち、バスPのバス遅延時間 t_{od} は、クロック周期 T_{clk} からセットアップ時間 T_{su} やクロックスキュー T_{skw} 等のマージンを除いた時間 T' より小さくなければならない。

【0087】バス遅延時間 t_{od} が T' より大きい場合には、バスPにおける信号伝搬がクロック T_{clk} に間に合わず、回路が一定状態にロックされてしまう。このように回路が正常に動作できなくなる程度にまでバス遅延時間が長くなってしまふ故障のことを、本明細書中では遅延故障と定義する。

【0088】即ち、バス遅延時間 t_{od} が既定時間 T' より長い場合には、バスPにバス遅延故障が生じているとすることができる。なお、この場合、 T' は、許容可能なバス遅延時間の上限値を意味する。

(試験方法の基本原理解)次に、本実施形態による半導体集積回路の試験方法の基本原理解を図5を用いて説明する。図5は、本実施形態による半導体集積回路の試験方法の基本原理解を示すタイムチャートである。

【0089】本実施形態による半導体集積回路の試験方法は、被試験回路の過渡電源電流波形のバルス幅を測定することにより、遅延故障の有無を試験することに主な特徴がある。

【0090】例えば、図4に示す被試験回路に2つのテストパターン $T = \langle V_1, V_2 \rangle$ を入力し、複数のバス P_1, P_2, \dots, P_n を活性化する場合を考える。この場合、バス P_i 上の入力から数えて j 番目の論理ゲートがスイッチングするタイミングを τ_{ij} とすると、バス P_1, P_2, \dots, P_n においてもっとも遅くスイッチングする論理ゲート $G_{r,1..n,1}$ の出力遷移のタイミング τ_{out} は、

【0091】
【数8】

と入力遷移のタイミング τ_{in} との間の時間間隔である。

【0094】従って、バス遅延時間の最大値 $t_{od,max}$ は、

【0095】

【数9】

$$t_{pd,max} = \tau_{max} - \tau_0 \quad \dots (9)$$

【0096】で表される。

【0097】一方、論理回路の過渡電源電流の波形のバ
ルス幅 t_{pw} は、回路の入力遷移のタイミング τ_0 と過渡
電源電流の波形の最終ピーク又は立ち下がりエッジのタ
イミング τ_{100} との間の時間間隔である。

【0098】従って、過渡電源電流の波形のバルス幅 t_{pw} は、

【0099】

【数10】

$$t_{pw} = \tau_{100} - \tau_0 \leq \tau_{max} - \tau_0 = t_{pd,max} \quad \dots (11)$$

【0104】で表される。

【0105】過渡電源電流の波形のバルス幅 t_{pw} が、許
容可能な遅延時間の上限值 T' より大きい場合は、

【0106】

【数12】

$$T' < t_{pw} \leq t_{pd,max} \quad \dots (12)$$

【0107】のような関係となる。

【0108】この場合、遅延時間 $t_{dd,xxx}$ が最も大きい
バスにおいては、信号の伝搬時間が半導体集積回路に用
いられるクロックに間に合わない。従って、この場合に
は、半導体集積回路内に遅延故障が存在しているといえ
る。

【0109】このように、バルス幅 t_{pw} が、許容可能な
遅延時間の上限值 T' より大きい場合には、活性化され
たバスのいずれかにバス遅延故障が生じており、バルス
幅 t_{pw} が上限値 T' より小さい場合には、活性化された
バスのいずれにもバス遅延故障が存在していないという
ことができる。

【0110】そして、

【0111】

【数13】

$$\begin{cases} \text{遅延故障なし, } t_{pw} \leq T' \\ \text{遅延故障あり, } t_{pw} > T' \end{cases} \quad \dots (13)$$

【0112】という関係が成り立つ。

【0113】このように、本実施形態によれば、過渡電
源電流の波形のバルス幅 t_{pw} を求め、このバルス幅 t_{pw}
と許容可能な遅延時間の上限值 T' とを比較することに
より、被試験バスにおける遅延故障の有無を試験するこ
とができる。しかも、本実施形態によれば、測定が容易
な過渡電源電流の波形を測定すればよいので、電圧信号
を用いる場合より容易に測定することができる。なお、
複数のバスを同時に活性化できるテストパターンが存在
する場合には、複数のバスにおける遅延故障を同時に試
験することも可能である。

【0114】また、本実施形態によれば、過渡電源電流

$$* \quad t_{pw} = \tau_{100} - \tau_0 \quad \dots (10)$$

【0100】で表される。

【0101】上述したように、過渡電源電流の波形の最
終ピークのタイミング又は立ち下がりエッジのタイミン
グ τ_{100} は、最後にスイッチングする論理ゲート G_{final}
の出力遷移のタイミング τ_{xxx} に一致するか、 τ_{xxx} より
早くなる。

【0102】従って、過渡電源電流の波形のバルス幅 t_{pw} は、テストパターン T により活性化されるバス P の遅
延時間 $t_{dd,xxx}$ に対応し、

【0103】

* 【数11】

の波形を測定すればよいので、出力信号を外部に出力す
ることができない被試験バスについても試験することが
可能となる。また、本実施形態によれば、任意に生成し
たパターン系列を入力して試験を行うことができるの
で、試験方法を簡略化することができる。また、本実施
形態によれば、サイド入力の入力値について特段の制限
がないので、簡便に試験を行うことができる。

20

【0115】また、本実施形態による半導体集積回路の
試験方法では、遅延故障のみならず縮退故障の有無をも
試験することが可能である。ここで、縮退故障とは、あ
る信号線の論理値が、ある値に固定されてしまう故障の
ことである。

【0116】本実施形態による縮退故障の試験方法の基
本原理について以下に説明する。

30

【0117】被試験バスの遅延時間 t_{dd} は、半導体集積
回路の製造プロセスのプロセス・パラメータによりばら
つく。これに対応して、過渡電源電流の波形のバルス幅
 t_{pw} も同様にばらつく。被試験バスの遅延時間 t_{dd} がば
らつく範囲が、例えば典型値 $t_{dd,tv}$ の $\pm 10\%$ である
場合には、過渡電源電流の波形のバルス幅 t_{pw} も同様に
典型値 $t_{dd,tv}$ の $\pm 10\%$ の範囲でばらつき、このばら
つきを大きく超えて過渡電源電流の波形のバルス幅 t_{pw}
が減少した場合には、縮退故障が生じていると考えるこ
とができる。

【0118】例えば、典型値 $t_{dd,tv}$ に対してバルス幅
 t_{pw} が20%以上減少した場合には、被試験バス上に縮
退故障が生じている可能性がある。

【0119】従って、過渡電源電流波形のバルス幅 t_{pw}
が既定値より小さい場合には、縮退故障が生じていると
判断することができる。なお、この場合、既定値として
は、プロセス・パラメータのバラツキにより生じる遅
延時間の下限値 $t_{dd,tv} - \Delta_t$ を用いることができる。
ここで、 Δ_t とは、プロセス・パラメータによる変動値
である。

【0120】そして、

【0121】

【数14】

50

$$\begin{cases} \text{縮退故障なし, } t_{PW} \geq t_{pd,0p} - \Delta_t \\ \text{縮退故障あり, } t_{PW} < t_{pd,0p} - \Delta_t \end{cases} \quad \dots (14)$$

【0122】という関係が成り立つ。

【0123】なお、式(14)において、典型値 $t_{pd,0p}$ や変動値 Δ_t は、プロセス変動についてのシミュレーションや、実際のデバイスを用いた統計データなどから求めることができる。

【0124】このように、本実施形態によれば、過渡電源電流の波形のパルス幅と製造プロセスのパラッキを考慮した値とを比較することにより、縮退故障を試験することもできる。

(遅延時間測定装置) 次に、本実施形態による遅延時間測定装置を図6を用いて説明する。図6は、本実施形態による遅延時間測定装置を示すブロック図である。図7は、本実施形態で用いられる過渡電源電流波形測定器の具体例を示すブロック図である。図8は、本実施形態で用いられる過渡電源電流波形測定器の他の具体例を示すブロック図である。

【0125】図6に示すように、本実施形態による遅延時間測定装置10には、電源12と、テストパターン発生器14と、過渡電源電流波形測定器16と、遅延時間評価器18とが設けられている。

【0126】電源12は、被試験回路20に電源電流を供給するものである。電源12は、試験中において常に被試験回路20に所定の電圧を印加する。被試験回路20に印加する所定の電圧としては、例えば、3.3Vとする。

【0127】電源12としては、例えば、汎用の安定化電源、プログラム可能な集積回路自動試験装置、又は容量の大きなコンデンサ等を用いることができる。汎用の安定化電源としては、例えば、株式会社アドバンテスト製の電圧/電流発生器R6144を用いることができる。また、集積回路自動試験装置としては、例えば、株式会社アドバンテスト製のロジック・テスタT6671E等のプログラム可能なデバイス電源(Programmable Power Supply, PPS)を用いることができる。電源12は、電流応答が高速なものを用いることが望ましい。また、電源12は、被試験回路20の直近に設けることが望ましい。

【0128】テストパターン発生器14は、被試験バスを活性化するテストパターン系列を被試験回路20に入力するものである。テストパターン発生器14としては、例えば、汎用のデジタル・データ発生器や集積回路自動試験装置等を用いることができる。汎用のデジタル・データ発生器としては、例えば、ソニー・テクトロニクス株式会社製のデータ・タイム・ジェネレータHFS9009(メインフレーム)とHFS9DG2(データ・タイム・ジェネレータ・モジュール)とを組み合わせたものを用いることができる。

【0129】過渡電源電流波形測定器16は、被試験回路20にテストパターンが入力される際に生じる過渡電源電流 I_{00T} の波形を測定するものである。過渡電源電流波形測定器16の構成の具体例は、後述することとする。

【0130】遅延時間評価器18は、過渡電源電流波形測定器16により測定された過渡電源電流 I_{00T} の波形のパルス幅を測定し、被試験バスの信号伝搬遅延時間を求めるものである。なお、遅延時間評価器18は、ハードウェアを用いて構成してもよいし、ソフトウェアを用いて構成することもできる。

【0131】次に、本実施形態で用いる過渡電源電流波形測定器の具体例を図7を用いて説明する。図7は、本実施形態で用いる過渡電源電流波形測定器の具体例を示す図である。

【0132】図7に示すように、過渡電源電流波形測定器16には、過渡電源電流 I_{00T} の波形を電圧波形に変換する電流センサ22と、電流センサ22により変換された電圧波形を測定する波形測定器24とが設けられている。

【0133】電流センサ22としては、例えば、誘導形電流センサや抵抗型電流センサ等を用いることができる。誘導形電流センサは、電源ラインの周囲の磁界の変化を検出することにより過渡電源電流の波形を電圧波形に変換するものである。抵抗型電流センサは、電源ラインに抵抗値の小さい抵抗を挿入し、この抵抗の両端の電圧波形を検出するものである。但し、電源ラインのインダクタンス成分によって過渡電源電流の波形にリングングが生じるのを防止すべく、電流センサ22には小型のものを用いることが望ましい。

【0134】波形測定器24としては、オシロスコープや集積回路自動試験装置等を用いることができる。オシロスコープとしては、例えば、ソニー・テクトロニクス株式会社製のデジタル・オシロスコープTDS784Aを用いることができる。

【0135】次に、本実施形態で用いる過渡電源電流波形測定器の他の具体例を図8を用いて説明する。図8は、本実施形態で用いる過渡電源電流波形測定器の他の具体例を示すブロック図である。

【0136】本具体例による過渡電源電流波形測定器16aには、図8に示すように、スイッチ26と、コンデンサ28と、波形測定器24と、波形微分器30とが設けられている。

【0137】スイッチ26は、電源ラインの容量成分やインダクタンス成分を切り離し、被試験回路20に流れ込むすべての電流をコンデンサ28から供給するために用いられる。コンデンサ28は、被試験回路20に電流

を供給するものである。

【0138】波形測定器24は、コンデンサ28の被試験回路20側の端子の電圧変化 $v(t)$ を測定するものである。

【0139】波形微分器30は、波形測定器24によって測定された電圧波形 $v(t)$ を時間微分するものである。波形微分器30は、ハードウェアを用いて構成してもよいし、ソフトウェアを用いて構成することもできる。

【0140】被試験回路20が過渡状態のときに、コンデンサ28から被試験回路20に流れ込む過渡電源電流 I_{DDT} は、

【0141】

【数15】

$$I_{DDT} = -C \frac{dv(t)}{dt} \quad \dots (15)$$

【0142】で表される。

【0143】なお、式(15)において、 C はコンデンサの容量であり、 $v(t)$ はコンデンサの被試験回路側の端子電圧である。

【0144】そして、コンデンサ28の電圧波形 $v(t)$ を時間微分すれば、被試験回路20に流れ込む過渡電源電流 I_{DDT} の波形を求めることができる。

(遅延時間測定方法) 次に、本実施形態による遅延時間測定装置を用いた遅延時間測定方法を、図9を用いて説明する。図9は、本実施形態による遅延時間測定方法を示すフローチャートである。

【0145】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する(ステップ10)。

【0146】次に、過渡電源電流波形測定器16により、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流 I_{DDT} の波形を測定する(ステップ11)。なお、ステップ11の処理は、ステップ10の処理とほぼ同時に行われる。また、過渡電源電流の波形を測定する際、一回だけ測定してもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。一回だけ測定する場合には、テストパターン系列は一回だけ入力され、複数回測定する場合には、テストパターン系列は複数回入力される。

【0147】次に、遅延時間評価器18により、過渡電源電流 I_{DDT} の波形のパルス幅から被試験バスの遅延時間を算出する(ステップ12)。

【0148】こうして、遅延時間の測定が終了する。

【0149】このように、本実施形態によれば、過渡電源電流の波形のパルス幅を求めることにより、被試験バスにおける遅延時間を測定することができる。

(半導体集積回路の試験装置) 次に、本実施形態による半導体集積回路の試験装置を図10を用いて説明する。

図10は、本実施形態による半導体集積回路の試験装置を示すブロック図である。

【0150】図10に示すように、本実施形態による半導体集積回路試験装置32は、図6に示した電源12、テストパターン発生器14、過渡電源電流波形測定器16、及び遅延時間評価器18の他に、故障検出器34が更に設けられている。

【0151】故障検出器34は、遅延時間評価器18により測定された遅延時間を既定値と比較し、これにより故障の有無を判断するものである。

【0152】本実施形態による半導体集積回路の試験装置は、故障の有無を判断する故障検出器34が設けられているので、被試験バスにおける故障の有無を判断することができる。

(半導体集積回路の試験方法) 次に、図10に示す半導体集積回路試験装置を用いた半導体集積回路の試験方法を、図11を用いて説明する。図11は、本実施形態による半導体集積回路の試験方法を示すフローチャートである。

【0153】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する(ステップ20)。

【0154】次に、過渡電源電流波形測定器16により、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流 I_{DDT} の波形を測定する(ステップ21)。なお、ステップ21の処理は、ステップ20の処理とほぼ同時に行われる。また、過渡電源電流の波形の測定は、一回だけ行ってもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。

【0155】次に、遅延時間評価器18により、過渡電源電流 I_{DDT} の波形のパルス幅を測定する(ステップ22)。

【0156】次に、故障検出器34により、過渡電源電流 I_{DDT} の波形のパルス幅と既定値とを比較する(ステップ23)。

【0157】過渡電源電流 I_{DDT} の波形のパルス幅と既定値とを比較した結果、故障検出条件を満たす場合には、“故障あり”と判断する(ステップ24)。

【0158】一方、過渡電源電流 I_{DDT} の波形のパルス幅と既定値とを比較した結果、故障検出条件を満たさない場合には、“故障なし”と判断する(ステップ25)。

【0159】こうして、処理が終了する。

【0160】なお、上記の処理は、図12に示すように、被試験回路20内の試験対象となるすべての故障内容が網羅されるまで繰り返される。図12は、繰り返して故障試験を行う場合の試験方法を示すフローチャートである。

【0161】即ち、まず、図12に示すように、故障リストを作成する。なお、この故障リストは、所望の故障

試験を行うことができるように、適宜作成される（ステップ30）。

【0162】次に、この故障リスト内から、故障試験の対象とすべき故障内容を適宜選択する（ステップ31）。

【0163】次に、故障内容の選択結果に基づいて、半導体集積回路の故障試験を行う（ステップ32）。

【0164】次に、リスト内のすべての故障試験を網羅したか否かを判断する（ステップ33）。そして、リスト内のすべての故障試験の内容が網羅されると、試験は終了する。

（遅延故障試験方法）次に、本実施形態による遅延故障の試験方法を図13を用いて説明する。図13は、本実施形態による遅延故障の試験方法を示すフローチャートである。

【0165】まず、図13に示すように、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する（ステップ40）。

【0166】次に、過渡電源電流波形測定器16により、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流 I_{DDT} の波形を測定する（ステップ41）。なお、ステップ41の処理は、ステップ40の処理とほぼ同時に行われる。また、過渡電源電流 I_{DDT} の波形は、一回だけ測定してもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。

【0167】次に、遅延時間評価器18により、過渡電源電流 I_{DDT} の波形のパルス幅 t_{pw} を求める（ステップ42）。

【0168】次に、故障検出器34により、パルス幅 t_{pw} と既定値とを比較する。具体的には、パルス幅 t_{pw} と許容可能な遅延時間の上限値 T' とを比較する（ステップ43）。

【0169】パルス幅 t_{pw} と既定値 T' とを比較した結果、式(13)に示すように、 $t_{pw} > T'$ の場合は、“遅延故障あり”と判断する（ステップ44）。

【0170】一方、パルス幅 t_{pw} と既定値 T' とを比較した結果、 $t_{pw} \leq T'$ の場合は、“遅延故障なし”と判断する（ステップ45）。

【0171】こうして、遅延故障試験の処理が終了する。なお、遅延故障の試験は、上記で図12を用いて説明したのと同様に、被試験回路内の試験対象となるすべての故障内容が網羅されるまで繰り返し行われる。

（縮退故障試験方法）次に、本実施形態による縮退故障の試験方法を図14を用いて説明する。図14は、本実施形態による縮退故障の試験方法を示すフローチャートである。

【0172】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する（ステップ50）。

【0173】次に、過渡電源電流波形測定器16によ

り、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流 I_{DDT} の波形を測定する（ステップ51）。なお、ステップ51の処理は、ステップ50の処理とほぼ同時に行われる。また、過渡電源電流の波形は、一回だけ測定してもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。

【0174】次に、遅延時間評価器18により、過渡電源電流 I_{DDT} の波形のパルス幅 t_{pw} を算出する（ステップ52）。

【0175】次に、故障検出器34により、遅延時間評価器18によって求められた過渡電源電流 I_{DDT} の波形のパルス幅 t_{pw} を既定値と比較する。既定値は、例えば、半導体集積回路の製造バラツキ等を考慮して、遅延時間の下限値 $t_{d,lv} - \Delta_t$ とすることができる（ステップ53）。

【0176】次に、パルス幅 t_{pw} と既定値とを比較した結果、式(14)に示すように、 $t_{pw} < t_{d,lv} - \Delta_t$ の場合には、“縮退故障あり”と判断する（ステップ54）。

【0177】一方、パルス幅 t_{pw} と既定値とを比較した結果、 $t_{pw} \geq t_{d,lv} - \Delta_t$ の場合には、“縮退故障なし”と判断する（ステップ55）。

【0178】こうして、縮退故障の試験が終了する。なお、縮退故障の試験は、上記で図12を用いて説明したのと同様に、被試験回路内の試験対象となるすべての故障内容が網羅されるまで繰り返し行われる。

【0179】このように本実施形態によれば、過渡電源電流の波形のパルス幅を求めることにより、簡便な方法で被試験バスのバス遅延時間を測定することができる。しかも、本実施形態では、測定が容易な過渡電源電流の波形を測定すればよいので、電圧信号を測定する場合より容易に測定することができる。

【0180】また、本実施形態によれば、過渡電源電流の波形を測定すればよいので、出力信号を外部に出力することができない被試験バスについても試験することができる。しかも、本実施形態では、任意に生成したパターン系列を入力すれば試験を行うことができるので、試験方法を簡略化することができる。また、本実施形態によれば、サイド入力の入力値について特段の制限がないので、簡便に試験を行うことができる。

【0181】また、本実施形態によれば、過渡電源電流の波形のパルス幅を求め、このパルス幅と許容可能な遅延時間の上限値とを比較することにより、被試験バスにおける遅延故障の有無を試験することができる。また、本実施形態では、複数のバスを同時に活性化できるテストパターンが存在する場合には、複数のバスにおける遅延故障を同時に試験することも可能である。

【0182】また、本実施形態によれば、過渡電源電流の波形のパルス幅を求め、このパルス幅と製造プロセスのバラツキを考慮した値とを比較することにより、被試

験バスにおける縮退故障の有無を試験することもできる。

【0183】〔第2実施形態〕本発明の第2実施形態による半導体集積回路の試験方法等について説明する前に、前提となる基本原理について図15を用いて説明する。図15は、本実施形態による半導体集積回路の試験方法の基本原理を示すタイムチャートである。図15

(a)は、被試験バスの入出力電圧特性を示しており、図15(b)は、過渡電源電流の波形を示している。

【0184】図2に示したように、論理ゲートの過渡電源電流 I_0 はピーク値に達した後は単調に減少する。従って、被試験回路に流れ込む電源電流は、被試験バスの内、最後にスイッチングする論理ゲートの出力遷移のタイミングより後は、単調に減少する。

【0185】即ち、故障のない半導体集積回路においては、最後にスイッチングする論理ゲートの出力遷移タイミングを τ_{\dots} とし、タイミング τ_{\dots} における過渡電源電流の瞬時値を I' とすると、 τ_{\dots} より後は、半導体集積回路の過渡電源電流は I' より大きくなることはない。

【0186】本実施形態による集積回路装置の試験方法は、上記の基本原理に鑑みためのものであって、所定のタイミングにおける半導体集積回路の過渡電源電流の瞬時値*

$$\tau_{max} = \max_{i,j} \{\tau_{ij}\}, \quad 1 \leq i \leq n, \quad 1 \leq j \quad \dots (16)$$

【0191】で表される。

【0192】従って、バス P_1, P_2, \dots, P_n におけるバス遅延時間の最大値 $t_{0\dots max}$ は、 τ_{\dots} と入力遷移のタイミング τ_0 の間の時間間隔として、

【0193】

【数17】

$$t_{pd,max} = \tau_{max} - \tau_0 \quad \dots (17)$$

【0194】で表される。

【0195】上述したように、論理ゲートの出力遷移のタイミングは、論理ゲートの過渡電源電流のピーク又は立ち下がりのタイミングと一致するので、 τ_{\dots} は回路の過渡電源電流 I_{00r} の波形の最終ピーク又は立ち下がりエッジのタイミング τ_{100} に対応する。

【0196】論理ゲートの電源電流 I_0 は図2(b)に※

$$i_{DDR}(t) \leq i_{DDR}(\tau_{max}) = I',$$

【0202】という関係が成り立つ。

【0203】また、回路が正常に動作するためには、 $t_{0\dots max}$ が遅延時間の上限値 T' ($= T_{CLK} - T_{SEU} - T_{SO}$)より小さくなければならない。従って、

【0204】

【数20】

$$t_{pd,max} = \tau_{max} - \tau_0 < T' \quad \dots (20)$$

【0205】という関係が成り立つ。

【0206】従って、回路に故障がないとき、 $t = T'$ 50

*を測定することにより、被試験回路におけるバス遅延故障を検出することに主な特徴がある。

【0187】なお、故障検出の判断基準となる電流値 I' は、例えば、被試験バス上の最後の論理ゲートの出力が電源電圧の半分の値となるときの電源電流の値とすることができ、この値は、例えば被試験回路に対する回路シミュレーションや実際のデバイスを用いた統計データ等から求めることができる。

【0188】図15に示すように、本実施形態による試験方法は、所定のタイミングにおける被試験回路の過渡電源電流の瞬時値を測定し、遅延故障のない理想的な回路の過渡電源電流の瞬時値と比較することにより、故障の有無を測定する。

【0189】論理回路において、テストパターン $T = < V_1, V_2 >$ により複数のバス P_1, P_2, \dots, P_n が活性化されるとする。バス P_1 上の入力から数えて j 番目の論理ゲートがスイッチングするタイミングを τ_{1j} とすると、バス P_1, P_2, \dots, P_n において最も遅くスイッチングする論理ゲート $G_{r1\dots n1}$ の出力遷移のタイミング τ_{\dots} は、

【0190】
【数16】

※示すように三角波で近似でき、 $G_{r1\dots n1}$ は最後にスイッチングするゲートであるから、正常な回路であれば、 τ_{\dots} 以降に電源電流がピークとなることはない。

【0197】従って、 $t \geq \tau_{\dots}$ において電源電流波形関数 $i_{00r}(t)$ は、単調に減少する関数である。

【0198】即ち、電源電流波形の時間関数を $i_{00r}(t)$ とし、タイミング τ_{\dots} における電源電流の瞬時値を I' とすると、

【0199】

【数18】

$$I' = i_{DDR}(\tau_{max}) \quad \dots (18)$$

【0200】で表され、

【0201】

【数19】

$$t \geq \tau_{max} \quad \dots (19)$$

+ $\tau_0 > \tau_{\dots}$ においては、式(19)により、

【0207】

【数21】

$$i_{DDR}(T' + \tau_0) \leq I' \quad \dots (21)$$

【0208】が成立する。

【0209】もし、 $T' + \tau_0$ において I_{00r} の瞬時値が I' より大きい場合には、

【0210】

【数22】

$$i_{DDT}(T' + \tau_0) > I' = i_{DDT}(\tau_{max}) \quad \dots (22)$$

【0211】で表される。

【0212】式(19)より、 $T' + \tau_0$ が τ_{max} より大きいことはありえないので、

【0213】

【数23】

$$\tau_{max} > T' + \tau_0 \quad \dots (23)$$

【0214】

【数24】

$$\therefore t_{pd,max} = \tau_{max} - \tau_0 > T' \quad \dots (24)$$

【0215】となる。

【0216】従って、この場合には、最も大きな遅延時*

$$\begin{cases} \text{遅延故障なし, } i_{DDT}(T' + \tau_0) \leq I' \\ \text{遅延故障あり, } i_{DDT}(T' + \tau_0) > I' \end{cases} \quad \dots (25)$$

【0221】のような関係が成り立つ。

【0222】このように、本実施形態によれば、所定のタイミングにおける過渡電源電流の電流値を、所定のタイミングにおける故障のない回路の電源電流値と比較することにより、半導体集積回路の遅延故障を容易に検出することができる。

【0223】また、本実施形態による試験方法は遅延故障のみならず、縮退故障をも試験することができる。縮退故障の試験は、電源電流値を測定するタイミングを適宜設定することにより行うことができる。

(半導体集積回路の試験装置)次に、本実施形態による半導体集積回路の試験装置について、図16を用いて説明する。図16は、本実施形態による半導体集積回路の試験装置を示す図である。図6乃至図10に示す第1実施形態による半導体集積回路の試験装置等と同一の構成要素には、同一の符号を付して説明を省略又は簡潔にする。

【0224】本実施形態による半導体集積回路試験装置36には、電源12、テストパターン発生器14、過渡電源電流瞬時値測定器38、及び故障検出器40が設けられている。

【0225】過渡電源電流瞬時値測定器38は、所定のタイミング τ における過渡電源電流の瞬時値 $i_{DDT}(\tau)$ を測定するものである。

【0226】故障検出器40は、過渡電源電流瞬時値測定器38により測定された過渡電源電流値 $i_{DDT}(\tau)$ を、所定の電流値 I' と比較し、遅延故障の有無を判断するものである。なお、故障検出器40は、ハードウェアを用いて構成してもよいし、ハードウェアを用いて構成してもよい。

【0227】次に、本実施形態で用いられる過渡電源電流瞬時値測定器の具体例を図17を用いて説明する。図17は、本実施形態で用いられる過渡電源電流瞬時値測

*間 $t_{0.0.0.0.0}$ をもつバスにおいては、信号の伝搬が半導体集積回路に用いられるクロックに間に合わない。即ち、この場合には、遅延故障が存在していることとなる。

【0217】このように、所定のタイミング $T' + \tau_0$ において、電源電流値 $i_{DDT}(T' + \tau_0)$ が I' より大きい場合には、活性化された被試験バスのいずれかにバス遅延故障が存在していると考えられる。

【0218】これに対し、 $i_{DDT}(T' + \tau_0)$ が I' より小さい場合には、活性化された被試験バスのいずれにもバス遅延故障が存在していないと考えられる。

【0219】従って、

【0220】

【数25】

定器の具体例を示す図である。

【0228】図17に示すように、過渡電源電流瞬時値測定器38には、電流信号を電圧信号に変換する電流センサ22と、電流センサ22により変換された電圧値を測定する測定器42とが設けられている。測定器42は、デジタル・マルチメータ、オシロスコープ、又は集積回路自動試験装置を用いることができる。デジタル・マルチメータとしては、例えば、株式会社アドバンテスト製のデジタル・マルチメータR6581を用いることができる。集積回路自動試験装置としては、例えば、第1実施形態に示した集積回路自動試験装置と同様のものを用いることができる。

【0229】次に、本実施形態で用いられる過渡電源電流瞬時値測定器の他の具体例を図18を用いて説明する。図18は、本実施形態で用いられる過渡電源電流瞬時値測定器の他の具体例を示す図である。

【0230】図18に示すように、過渡電源電流瞬時値測定器38aには、電源ラインを切断するスイッチ26と、被試験回路に電流を供給するコンデンサ28と、コンデンサ28の被試験回路側の端子の電圧波形 $v(t)$ の瞬時微分値を測定する微分測定器44とが設けられている。

【0231】微分測定器44は、例えば、デジタル・マルチメータ、オシロスコープ、又は集積回路自動試験装置等を用いることができる。

【0232】被試験回路20が過渡状態のとき、コンデンサ28から被試験回路20に流れ込む電流、すなわち過渡電源電流 i_{DDT} は、

【0233】

【数26】

$$I_{DDT} = -C \frac{dv(t)}{dt} \quad \dots (26)$$

【0234】で表される。なお、式(26)において、Cはコンデンサの容量であり、 $v(t)$ はコンデンサの被試験回路側の端子電圧である。

【0235】従って、あるタイミング τ におけるコンデンサの電圧波形 $v(t)$ の時間微分値を測定すれば、被試験回路を流れる過渡電源電流の瞬時値 $i_{oot}(\tau)$ を求めることができる。

【0236】タイミング τ における電圧波形 $v(t)$ の*

$$\left. \frac{dv(t)}{dt} \right|_{t=\tau} = \frac{v(\tau + \Delta_t) - v(\tau)}{\Delta_t}$$

【0239】で表される。なお、より正確な瞬時微分値を得るためには、 Δ_t をできるだけ短い時間とすることが望ましい。

(遅延故障試験方法) 次に、本実施形態による遅延故障試験方法を図19を用いて説明する。図19は、本実施形態による遅延故障の試験方法を示すフローチャートである。

【0240】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する(ステップ60)。

【0241】次に、過渡電源電流瞬時値測定器38により、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流の所定のタイミング τ における瞬時値 $i_{oot}(\tau)$ を測定する(ステップ61)。なお、ステップ61の処理は、ステップ60の処理とほぼ同時に行われる。また、瞬時値 $i_{oot}(\tau)$ は、一回だけ測定してもよいし、複数回測定して平均値を求めることにより精度を向上してもよい。また、 τ は、例えば、入力遷移のタイミング τ と許容される遅延時間の最大値 T' とから、 $\tau = T' + \tau$ により求めることができる。

【0242】次に、故障検出器40により、過渡電源電流の瞬時値 $i_{oot}(\tau)$ と既定値 I' とを比較する。例えば、故障のない回路において最後にスイッチングする論理ゲート $G_{r, \dots}$ の出力遷移タイミング τ_{\dots} における過渡電源電流の典型値 $I' (= i_{oot}(\tau_{\dots}))$ と比較する(ステップ62)。

【0243】過渡電源電流の瞬時値 $i_{oot}(\tau)$ と既定値 I' とを比較した結果、式(25)に示すように、 $i_{oot}(\tau) > I'$ の場合は、“遅延故障あり”と判断する(ステップ63)。

【0244】一方、過渡電源電流の瞬時値 $i_{oot}(\tau)$ と既定値 I' とを比較した結果、 $i_{oot}(\tau) \leq I'$ の場合は、“遅延故障なし”と判断する(ステップ64)。

【0245】こうして、遅延故障試験の処理が終了する。なお、上記の手順は、図12で示したのと同様に、被試験回路内の試験対象となるすべての故障内容が網羅されるまで繰り返される。

【0246】なお、縮退故障についても、故障検出条件

*瞬時微分値は、タイミング τ の近傍における極短い時間間隔 Δ_t において $v(t)$ の瞬時値を測定し、測定値の差を時間間隔 Δ_t で除算することにより求めることができる。

【0237】従って、タイミング τ における瞬時微分値は、

【0238】

【数27】

… (27)

を適宜変更することにより、同様に測定することが可能である。

【0247】このように、本実施形態によれば、所定のタイミングにおける過渡電源電流の瞬時値を用いて遅延故障や縮退故障を評価するので、半導体集積回路の被試験バスにおける故障の有無を容易に判断することができる。

【0248】[第3実施形態] 本発明の第3実施形態による半導体集積回路の試験方法等について説明する前に、前提となる基本原理について説明する。

【0249】第1実施形態で図1を用いて説明したように、インバータの入力信号が“1”から“0”に遷移する場合には、インバータに貫通電流が流れるとともに、インバータの出力信号線の寄生容量 $C_{i, \dots}$ に充電電流 I_c が流れ込む。

【0250】従って、インバータの入力信号に立ち下りの遷移が生じる場合に、電源からインバータに流れ込む過渡電流は、過渡電流を I_{or} 、貫通電流を I_{sr} 、充電電流を I_c とすると、

【0251】

【数28】

$$I_{or} = I_{sr} + I_c \quad \dots (28)$$

【0252】で表される。

【0253】一方、インバータの入力信号が“0”から“1”に遷移する場合には、出力信号線からグラウンドに放電電流 I_o が流れるが、電源からインバータへ流れ込む電流は貫通電流のみである。

【0254】従って、インバータの入力信号に立ち上りの遷移が生じる場合に、電源からインバータに流れ込む過渡電流は、過渡電流を I_{or} 、貫通電流を I_{sr} とすると、

【0255】

【数29】

$$I_{or} = I_{sr} \quad \dots (29)$$

【0256】で表される。

【0257】図20(a)は、CMOSインバータの過渡応答波形を拡大して表した図である。図20(a)に示すように、CMOSインバータに流れ込む電流 I_{or} は、入力電圧 V_{in} の変化に対して三角パルス状に変化する。

【0258】図20(b)は、CMOSインバータの過渡応答波形を近似して表した図である。図20(b)に示すように、CMOSインバータに流れる貫通電流 I_c は、三角パルスで近似することができる。

【0259】従って、インバータの入力信号に立ち上がり*

$$I_{sr} = \begin{cases} 0, & t \leq \frac{V_{THN}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{THN}) \cdot t_r} t - \frac{V_{THN} \cdot I_{Smax}}{(V_{SP} - V_{THN})}, & \frac{V_{THN}}{V_{DD}} t_r < t \leq \frac{V_{SP}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP}) \cdot t_r} t - \frac{(V_{DD} - V_{THP}) \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP})}, & \frac{V_{SP}}{V_{DD}} t_r < t \leq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r \\ 0, & t > \frac{V_{DD} - V_{THP}}{V_{DD}} t_r \end{cases} \quad \dots (30)$$

【0261】なお、式(30)において、 I_{Smax} はインバータの貫通電流の最大値、 V_{DD} は電源電圧、 V_{THN} はn-MOSトランジスタのしきい値電圧、 V_{THP} はp-MOSトランジスタのしきい値電圧、 t_r は入力信号の立ち上がり遷移時間である。ただし、 V_{THP} は絶対値を用いた。また、近似式を簡略化すべく、入力電圧 V_{in} の遷移開始タイミングは0とした。

※20

$$I_{sf} = \begin{cases} 0, & t \leq \frac{V_{THP}}{V_{DD}} t_f \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{DD} - V_{THP} - V_{SP}) \cdot t_f} t - \frac{V_{THP} \cdot I_{Smax}}{(V_{DD} - V_{THP} - V_{SP})}, & \frac{V_{THP}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{SP}}{V_{DD}} t_f \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{THN} - V_{SP}) \cdot t_f} t - \frac{(V_{DD} - V_{THN}) \cdot I_{Smax}}{(V_{THN} - V_{SP})}, & \frac{V_{DD} - V_{SP}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{THN}}{V_{DD}} t_f \\ 0, & t > \frac{V_{DD} - V_{THN}}{V_{DD}} t_f \end{cases} \quad \dots (31)$$

【0264】なお、上記の式(30)、式(31)は、インバータの場合の近似式であるが、インバータ以外の論理ゲートの場合にも、同様の近似式で表すことが可能である。

【0265】更に、インバータの出力信号線の寄生容量 C_{load} への充電電流 I_c は、出力信号線の電圧変化を $v_{out}(t)$ とすると、

【0266】

【数32】

★

$$I_c = C_{load} \frac{dv_{out}(t)}{dt} \quad \dots (32)$$

【0267】で表される。

【0268】また、式(30)より、貫通電流 I_{sr} の時間積分値 Q_{sr} は、

【0269】

【数33】

$$Q_{sr} = \int_{-\infty}^{\infty} I_{sr} dt = \frac{I_{Smax} (V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_r \quad \dots (33)$$

【0270】で表される。

☆【0272】

【0271】また、式(31)より、貫通電流 I_{sf} の時間積分値 Q_{sf} は、

☆

$$Q_{sf} = \int_{-\infty}^{\infty} I_{sf} dt = \frac{I_{Smax} (V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_f \quad \dots (34)$$

【0273】で表される。

【0275】

【0274】従って、スイッチングの際に論理ゲートに流れ込む貫通電流の積分値 Q_s は、

【数35】

*りの遷移が生じる場合に、電源からインバータに流れ込む貫通電流 I_{sr} は、以下の式で近似することができる。

【0260】

【数30】

$$Q_s \equiv \int_{-\infty}^{\infty} I_s dt = \frac{I_{s\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T \propto t_T \quad \dots (35)$$

【0276】で表される。

【0277】なお、式(35)において、 t_T とは、入力信号の遷移時間のことである。

【0278】式(35)から分かるように、スイッチングの際に論理ゲートに流れ込む貫通電流 I_s の積分値 Q_s は、論理ゲートの入力遷移時間 t_T に比例している。また、式(35)から分かるように、積分値 Q_s は、入力

* 信号の遷移が立ち上がりの遷移であるか、立ち下がりの遷移であるかには無関係である。

【0279】インバータの出力負荷容量 C_{load} への充電電流 I_c の積分値 Q_c は式(32)より、

【0280】

【数36】

$$Q_c = \int_{-\infty}^{\infty} I_c dt = \int_{-\infty}^{\infty} C_{load} \frac{dv_{out}(t)}{dt} dt \quad \dots (36)$$

$$= C_{load} [v_{out}(t)]_{-\infty}^{\infty} = C_{load} (V_{DD} - 0) = C_{load} V_{DD}$$

【0281】で表される。

【0282】式(36)から分かるように、積分値 Q_c は、インバータの入力遷移時間 t_T には依存しない。

【0283】従って、スイッチングの際に論理ゲートに*

* 流れ込む過渡電流の積分値 Q_{cr} 、 Q_{cr} は、式(28)、式(29)、式(35)、及び式(36)より、

【0284】

【数37】

$$Q_{cr} = \int_{-\infty}^{\infty} (I_{sr} + I_c) dt = \frac{I_{s\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T + C_{load} V_{DD} \propto t_T \quad \dots (37)$$

【0285】

★ ★ 【数38】

$$Q_{cr} = \int_{-\infty}^{\infty} I_{sr} dt = \frac{I_{s\max}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T \propto t_T \quad \dots (38)$$

【0286】で表される。

【0287】式(37)、式(38)から分かるように、過渡電流の積分値 Q_{cr} 、 Q_{cr} は、論理ゲートの入力遷移時間 t_T に比例する。

【0288】図21は、インバータの入力遷移時間 t_T と過渡電流の積分値 Q_{cr} 、 Q_{cr} との関係を示すグラフである。なお、図21は、回路シミュレーションにより求めたものである。

【0289】図21から分かるように、過渡電流の積分値 Q_{cr} 、 Q_{cr} は、インバータの入力遷移時間 t_T に比例している。従って、図21からも、式(37)、式(38)の正しさを裏付けることができる。

【0290】次に、図3(a)に示す半導体集積回路を例として、本実施形態の基本原則を更に説明する。

【0291】第1実施形態で説明したように、図3(a)に示す半導体集積回路は、インバータを直列に4つ組み合わせたものであり、各インバータG1、G2、G3、G4を流れる電流 I_{c1} 、 I_{c2} 、 I_{c3} 、 I_{c4} は、一つの電源から供給されている。このため、集積回路が動作する際に電源から集積回路に流れ込む過渡電源電流 I_{\star}

☆ $_{DDT}$ は、図3(b)に示すように、各論理ゲートを流れる電流の和となる。

【0292】従って、過渡電源電流 I_{\star} は、

【0293】

【数39】

$$I_{DDT} = \sum_{n=1}^N I_{cn} \quad \dots (39)$$

【0294】で表される。

【0295】なお、式(39)において、Nは、入力されたテストパターン系列によりスイッチングする論理ゲートの数を示しており、図3の場合はN=4である。

【0296】図3(a)に示すような集積回路においては、過渡電源電流 I_{\star} の積分値 Q_{\star} は、各論理ゲートを流れる電流の積分値 Q_{cn} ($1 \leq n \leq N$)の和として表される。

【0297】従って、過渡電源電流 I_{\star} の積分値 Q_{\star} は、

【0298】

【数40】

$$Q_{DDT} = \int_{-\infty}^{\infty} I_{DDT} dt = \int_{-\infty}^{\infty} \left(\sum_{n=1}^N I_{cn} \right) dt = \sum_{n=1}^N \int_{-\infty}^{\infty} I_{cn} dt = \sum_{n=1}^N Q_{cn} \quad \dots (40)$$

【0299】で表される。例えば、図3(a)に示すような集積回路においては、過渡電源電流 I_{\star} の積分値

Q_{\star} は、各インバータを流れる過渡電流の積分値 Q_{c1} 、 Q_{c2} 、 Q_{c3} 、 Q_{c4} の和である。

【0300】各論理ゲートを流れる電流の積分値 Q_n ($1 \leq n \leq N$) は、式(37)や式(38)に示すように、各論理ゲートの入力遷移時間 t_{rn} ($1 \leq n \leq N$) にそれぞれ比例する。

【0301】従って、過渡電源電流 I_{DOT} の積分値 Q_{DOT} *

$$Q_{DOT} = \sum_{n=1}^N Q_{Gn} = \sum_{n=1}^N Q_{Sn} + \sum_{n=1}^N Q_{Cn} = \sum_{n=1}^N a_n t_{rn} + b \quad \cdots (41)$$

【0303】となる。なお、式(41)において、 a_n は、論理ゲート G_n の貫通電流の積分値 Q_{Sn} と論理ゲート G_n の入力遷移時間 t_{rn} との間の比例係数であり、 b は、各論理ゲートに流れ込む充電電流 Q_{Cn} の和よりなる定数である。

【0304】本実施形態による集積回路試験装置及び試験方法は、被試験バス上の微小オープン欠陥又は抵抗性オープン欠陥によるバス遅延故障を、上述した過渡電源電流の積分値を用いて検出することに主な特徴の一つがある。

【0305】オープン欠陥とは、本来接続されているべき信号線が分断されている状態のことである。例えば、オーミック電極に欠損が生じている場合や、オーミック電極の下に酸化膜が形成されている場合には、コンタクトにオープン欠陥が生じる。また、バタニング不良やエッチング不良等によって、配線にオープン欠陥が生じる場合もある。また、マスク不良等によって、拡散層やポリシリコン層等にオープン欠陥が生じる場合もある。

【0306】オープン欠陥には、図22(a)に示すような電流を通さない大きなオープン欠陥と、図22

(b)に示すような微小な電流を通すオープン欠陥とがある。微小な電流を通すオープン欠陥としては、微小オープン欠陥と抵抗性オープン欠陥とがある。図22は、信号線のオープン欠陥を示す概念図である。

【0307】図22(a)に示すような大きなオープン欠陥が生じている場合には、入力側の信号線45に電圧 V_{in} が印加されても、出力側の信号線45に入力電圧 V_{in} に応じた出力電圧 V_{out} が伝達されないため、論理故障、具体的には縮退故障が生じる。

【0308】一方、図22(b)に示すような小さなオープン欠陥が生じている場合、例えば100nm以下の微小なオープン欠陥が生じている場合には、トンネル効果により小さなリーク電流が流れる。なお、微小なオープン欠陥を流れるトンネル電流については、例えば、C. L. Henderson, J. M. Soden, and C. F. Hawkins, "The Behavior and Testing Implications of IC Logic Gate Open Circuits," Proceedings of IEEE International Test Conference, pp.302-310, 1991.に記載されている。

【0309】微小なオープン欠陥が生じている場合には、トンネル効果により電流が流れるため、電荷の移動は遅く、信号線における電圧の立ち上がりや立ち下がり

*は、入力遷移時間 t_{rn} ($1 \leq n \leq N$) の線形多項式で表され、

【0302】

【数41】

の遷移時間 t_r は長くなる。そして、図22(b)に示すように、入力側の信号線45に印加された入力電圧 V_{in} のタイミングより大きく遅れて、出力側の信号線45に出力電圧 V_{out} が伝達される。このため、信号線45に微小オープン欠陥が生じている場合には、遅延故障となる。

【0310】このような微小なオープン欠陥が生じている場合には、トンネル効果により欠陥を通して小さな電流が流れるため、大きな抵抗 R_{open} を用いて信号遷移をモデル化することができ、抵抗性オープン欠陥と同様に扱うことができる。図23(a)は、入力側に微小オープン欠陥又は抵抗性オープン欠陥が生じているインバータを示す図である。図23(b)は、図23(a)の信号線Aと信号線A'における信号波形を示すタイムチャートである。

【0311】図23(b)に示すように、信号線A'における信号遷移は、信号線Aにおける信号遷移より遅れる。

【0312】信号線A'の信号遷移時間 t_r は、微小オープン欠陥又は抵抗性オープン欠陥の抵抗を R_{open} 、インバータの入力における寄生容量を C_{in} とすると、

【0313】

【数42】

$$t_r \approx t_{r,0p} + 2.2R_{open}C_{in} \quad \cdots (42)$$

【0314】で表される。なお、式(42)において、 $t_{r,0p}$ は、欠陥がない場合の入力信号の遷移時間の典型値である。また、信号遷移時間 t_r は、信号電圧が0.1 V_{DD} から0.9 V_{DD} まで立ち上がるまでの時間、又は信号電圧が0.9 V_{DD} から0.1 V_{DD} まで立ち下がるまでの時間とした。

【0315】式(42)から分かるように、インバータの入力信号の遷移時間の増加分は、微小オープン欠陥又は抵抗性オープン欠陥の抵抗値 R_{open} に比例する。

【0316】従って、被試験バス上に微小オープン欠陥又は抵抗性オープン欠陥が生じている場合には、半導体集積回路の電源電流の積分値 Q_{DOT} は、式(41)、及び式(42)より、

【0317】

【数43】

$$Q_{DDT} = \sum_{n=1}^{35} a_n t_{Tn} + b = \left(\sum_{n=1}^N a_n t_{Tn, \text{typ}} + b \right) + 2.2 a_t C_{in} R_{open} \quad \dots (43)$$

$$= Q_{DDT, \text{typ}} + 2.2 a_t C_{in} R_{open} \propto R_{open}$$

【0318】で表される。なお、式(43)において、 $Q_{DDT, \text{typ}}$ は、欠陥がない場合の過渡電源電流の積分値の典型値である。

【0319】式(43)から分かるように、半導体集積回路の電源電流の積分値 Q_{DDT} は、微小オープン欠陥又は抵抗性オープン欠陥の抵抗値 R_{open} に比例して線形的に増加する。

【0320】図24は、微小オープン欠陥又は抵抗性オープン欠陥の抵抗値 R_{open} と過渡電源電流の積分値 Q_{DDT} との関係を示すグラフである。なお、図24は、図3に示す半導体集積回路の信号線IN2に微小オープン欠陥又は抵抗性オープン欠陥が生じている場合をシミュレーションしたものである。

【0321】図24に示したシミュレーション結果は、式(43)の正しさを裏付けている。

【0322】従って、過渡電源電流の積分値 Q_{DDT} を測定し、積分値 Q_{DDT} と欠陥がない回路の積分値 $Q_{DDT, \text{typ}}$ とを比較すれば、被試験パス上に微小オープン欠陥又は抵抗性オープン欠陥が生じているか否かを検出することができる。

【0323】なお、実際の半導体集積回路の製造プロセスでは、プロセスパラメータのばらつきによって、過渡電源電流の積分値 $Q_{DDT, \text{typ}}$ が変動する。図25は、過

* 渡電源電流の積分値 Q_{DDT} の変動を示すグラフである。図25の横軸は、過渡電源電流の積分値 Q_{DDT} を示しており、縦軸はサンプル数を示している。

【0324】図25に示すように、過渡電源電流の積分値 Q_{DDT} は、 $Q_{DDT, \text{typ}} \pm \Delta_Q$ の範囲で変動する。なお、 Δ_Q は、過渡電源電流の積分値 $Q_{DDT, \text{typ}}$ の変動値である。

【0325】従って、試験を行った際に測定された過渡電源電流の積分値 Q_{DDT} が、正常な被試験パスにおける過渡電源電流の積分値の上限 $Q_{DDT, \text{typ}} + \Delta_Q$ より大きい場合には、被試験パス上に微小オープン欠陥又は抵抗性オープン欠陥があると判断することができる。

【0326】従って、過渡電源電流の積分値 Q_{DDT} が $Q_{DDT, \text{typ}} + \Delta_Q$ より小さい場合には、被試験パス上に微小オープン欠陥又は抵抗性オープン欠陥がないと考えることができ、過渡電源電流の積分値 Q_{DDT} が $Q_{DDT, \text{typ}} + \Delta_Q$ より大きい場合には、被試験パス上に微小オープン欠陥又は抵抗性オープン欠陥が存在すると考えることができる。

【0327】これにより、

【0328】

【数44】

$$\begin{cases} \text{欠陥なし, } Q_{DDT} \leq Q_{DDT, \text{typ}} + \Delta_Q \\ \text{欠陥あり, } Q_{DDT} > Q_{DDT, \text{typ}} + \Delta_Q \end{cases} \quad \dots (44)$$

【0329】のような関係が成り立つ。

【0330】なお、過渡電流の積分値の典型値 $Q_{DDT, \text{typ}}$ や変動値 Δ_Q はプロセス変動に関するシミュレーションなどにより求めることができる。また、過渡電流の積分値 Q_{DDT} と過渡電流の積分値の典型値 $Q_{DDT, \text{typ}}$ との差から、微小オープン欠陥又は抵抗性オープン欠陥の抵抗の大きさを解析することも可能である。

(試験方法の基本原則) 次に、本実施形態による半導体集積回路の試験方法の基本原則について説明する。

【0331】本実施形態による半導体集積回路の試験方法は、被試験回路の過渡電源電流の積分値を測定することによって遅延故障を評価するものである。

【0332】論理ゲートのゲート遅延時間 t_{gd} は、入力信号の遷移時間 t_r に比例するため、

【0333】

【数45】

$$t_{gd} = t_{gd, \text{step}} + \frac{1}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) t_r \quad \dots (45)$$

【0334】で表される。

【0335】なお、式(45)において、 $t_{gd, \text{step}}$ は、微小オープン欠陥や抵抗性オープン欠陥のないインバータに、遷移時間0のステップ入力を入力した場合の遅延時間である。また、 V_{TH} はp-MOSトランジスタ又はn-MOSトランジスタのしきい値電圧である。入力の立ち上がり遷移の場合には $V_{TH} = V_{THN}$ 、入力の立ち下がり遷移の場合には $V_{TH} = V_{THP}$ で表される。

【0336】従って、論理ゲートの入力信号線に抵抗値 R_{open} で表される微小オープン欠陥又は抵抗性オープン欠陥が生じている場合には、式(42)より、

【0337】

【数46】

$$\begin{aligned}
 t_{gd} &= t_{gd, step} + \frac{t_T}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\
 &= t_{gd, step} + \frac{t_{T, hyp} + 2.2 R_{open} C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\
 &= t_{gd, step} + \frac{t_{T, hyp}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) + \frac{2.2 C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{gd, hyp} + \frac{2.2 C_{in}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open}
 \end{aligned}
 \quad \dots (46)$$

【0338】で表すことができる。

【0339】なお、式(46)において、 $t_{gd, typ}$ は、欠陥のない論理ゲートのゲート遅延時間の典型値である。

【0340】式(46)から分かるように、微小オープン欠陥又は抵抗性オープン欠陥が生じている論理ゲートのゲート遅延時間 t_{gd} は、微小オープン欠陥又は抵抗性オープン欠陥の抵抗値 R_{open} によって変化し、ゲート遅延*

* 延時間 t_{gd} の増加分 δ は微小オープン欠陥又は抵抗性オープン欠陥の抵抗値 R_{open} に比例する。

【0341】また、微小オープン欠陥又は抵抗性オープン欠陥が生じている場合の被試験バスのバス遅延時間 t_{pd} は、式(5)を用いると、

【0342】

【数47】

$$\begin{aligned}
 t_{pd} &= \sum_{i=1}^n t_{gdi} = \sum_{i=1}^n (t_{gdi, hyp} + \delta_i) \\
 &= \sum_{i=1}^n t_{gdi, hyp} + \frac{2.2 C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{pd, hyp} + \frac{2.2 C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open}
 \end{aligned}
 \quad \dots (47)$$

【0343】で表される。

【0344】式(47)から分かるように、被試験バスのバス遅延時間 t_{pd} は、抵抗値 R_{open} に比例する。

【0345】図26は、微小オープン欠陥又は抵抗性オープン欠陥の抵抗値 R_{open} とバス遅延時間 t_{pd} との関係を示すグラフである。図26は、図3(a)の集積回路の信号線IN2に微小オープン欠陥又は抵抗性オープン欠陥が生じている場合をシミュレーションしたものである。

【0346】図26のシミュレーション結果は、式(4※

※7)の正しさを裏付けている。

【0347】また、集積回路の過渡電源電流の積分値 Q_{DDT} は、式(40)より、各論理ゲート G_i ($1 \leq i \leq n$)を流れる電流の積分値 Q_{ci} の和で表される。

【0348】このため、バスP上の論理ゲート G_i の入力に微小オープン欠陥又は抵抗性オープン欠陥が生じている場合には、式(43)を用いると、

【0349】

【数48】

$$Q_{DDT} = Q_{DDT, hyp} + \frac{2.2 I_{Smax} (V_{DD} - V_{THN} - V_{THP}) C_{ink}}{2 V_{DD}} R_{open} \quad \dots (48)$$

【0350】で表される。

【0351】式(48)から分かるように、過渡電源電流の積分値 Q_{DDT} は、微小オープン欠陥又は抵抗性オープン欠陥の抵抗値 R_{open} に比例する。

【0352】従って、式(47)及び式(48)より、

微小オープン欠陥又は抵抗性オープン欠陥が生じているバスPの遅延時間 t_{pd} は、

【0353】

【数49】

$$\begin{aligned}
 t_{pd} &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{pd,typ} + \frac{2.2C_{ink}}{6} \left(1 - 2 \frac{V_{TH}}{V_{DD}} \right) \cdot \frac{(Q_{DDT} - Q_{DDT,typ}) \cdot 2V_{DD}}{2.2I_{Smax}(V_{DD} - V_{THN} - V_{THP})C_{ink}} \quad \dots (49) \\
 &= t_{pd,typ} + \frac{V_{DD} - 2V_{TH}}{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})} (Q_{DDT} - Q_{DDT,typ})
 \end{aligned}$$

【0354】で表される。

【0355】式(49)から分かるように、遅延時間 t_{pd} は、半導体集積回路の過渡電源電流の積分値 Q_{DDT} に対して線形に変化する。

【0356】図27は、過渡電源電流の積分値 Q_{DDT} とバス遅延時間 t_{pd} との関係を示すグラフである。図27は、図3(a)の集積回路の信号線IN2に微小オープン欠陥又は抵抗性オープン欠陥が生じている場合をシミュレーションしたものである。

$$Q_{max} = Q_{DDT,typ} + \frac{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{V_{DD} - 2V_{TH}} (T' - t_{pd,typ}) \quad \dots (50)$$

【0360】で表される。

【0361】 Q_{max} は、バス遅延故障が生じていないとすることが可能な過渡電源電流の積分値 Q_{DDT} の上限値である。即ち、 Q_{DDT} が Q_{max} より小さい場合には半導体集積回路にはバス遅延故障が存在せず、 Q_{DDT} が Q_{max} より大きい場合には半導体集積回路に微小オープン欠陥又は抵抗性オープン欠陥によるバス遅延故障が存在すると判断することができる。

【0362】従って、

【0363】

【数51】

$$\begin{cases} \text{遅延故障なし, } Q_{DDT} \leq Q_{max} \\ \text{遅延故障あり, } Q_{DDT} > Q_{max} \end{cases} \quad \dots (51)$$

【0364】のような関係が成り立つ。

【0365】このように、本実施形態によれば、過渡電源電流の積分値 Q_{DDT} と既定値 Q_{max} とを比較することにより、半導体集積回路に遅延故障が生じているか否かを試験することができる。なお、既定値 Q_{max} は、回路シミュレーションや統計データ等から式(50)を用いて求めることができる。

【0366】なお、本実施形態による半導体集積回路試験方法は、微小オープン欠陥や遅延故障の試験のみに限定されるものではなく、試験条件を適宜設定すること※

$$\begin{cases} \text{縮退故障なし, } Q_{DDT} \geq Q_{DDT,typ} - \Delta_Q \\ \text{縮退故障あり, } Q_{DDT} < Q_{DDT,typ} - \Delta_Q \end{cases} \quad \dots (52)$$

【0373】のような関係が成立する。

【0374】なお、式(52)において、典型値 $Q_{DDT,typ}$ 及び変動値 Δ_Q は、プロセス変動に関する回路シミュレーションや実際のデバイスを用いた統計データ等

から求めることができる。

【0357】図27のシミュレーション結果は、式(49)の正しさを裏付けている。

【0358】式(49)において、バス遅延時間 t_{pd} として許容可能な上限値を T' とし、そのときの過渡電源電流の積分値を Q_{max} とすると、 Q_{max} は、

【0359】

【数50】

20※により、縮退故障等を試験することも可能である。

【0367】本実施形態の半導体集積回路試験方法により縮退故障を試験する場合について説明する。

【0368】被試験回路の過渡電源電流の積分値は、半導体集積回路の製造プロセスにおけるプロセスパラメータのバラツキにより、例えば $\pm \Delta_Q$ の範囲でばらつく。これにより、積分値は、例えば、典型値 $Q_{DDT,typ} \pm 10\%$ の範囲で増減することとなる。従って、積分値が、例えば、典型値 $Q_{DDT,typ} \pm 10\%$ の範囲の場合には、正常と判断することができる。

【0369】しかし、 Q_{DDT} が Δ_Q より大きな割合で減少した場合、例えば、 Q_{DDT} が典型値より例えば20%減少した場合には、被試験バス上の論理ゲートのいくつかがスイッチングしていないと考えることができる。この場合には、被試験バス上に論理ゲートのスイッチングを妨げる欠陥、例えば大きなオープン欠陥が存在すると考えることができる。

【0370】従って、過渡電源電流の積分値 Q_{DDT} が、故障のない回路において生じうる過渡電源電流の積分値の下限値 $Q_{DDT,typ} - \Delta_Q$ より小さい場合には、被試験バス上に縮退故障があると判断することができる。

【0371】そして、

【0372】

【数52】

から求めることができる。

【0375】このように本実施形態によれば、被試験回路の過渡電源電流の積分値を既定値と比較することにより、被試験バスにおける微小オープン欠陥、抵抗性オー

ブン欠陥、バス遅延故障、及び縮退故障を検出することができる。

(半導体集積回路の試験装置) 次に、本実施形態による半導体集積回路の試験装置を図28を用いて説明する。図28は、本実施形態による半導体集積回路の試験装置を示すブロック図である。図6乃至図8、図10、又は図16乃至図18に示す第1又は第2実施形態による半導体集積回路の試験装置等と同一の構成要素には、同一の符号を付して説明を省略又は簡潔にする。

【0376】図28に示すように、半導体集積回路試験装置46には、電源12、テストパターン発生器14、過渡電源電流積分値測定器48、及び故障検出器50が設けられている。

【0377】過渡電源電流積分値測定器48は、所定の時間間隔における過渡電源電流の積分値 Q_{DPT} を測定するものである。なお、過渡電源電流積分値測定器48については、後述することとする。

【0378】また、故障検出器50は、過渡電源電流積分値測定器48によって測定された過渡電源電流値 Q_{DPT} を既定値と比較し、故障の有無を判断するものである。故障検出器50は、ハードウェアを用いて構成してもよいし、ソフトウェアを用いて構成することもできる。

【0379】次に、本実施形態で用いられる過渡電源電流積分値測定器の具体例を図29を用いて説明する。図29は、本実施形態で用いられる過渡電源電流積分値測定器の具体例を示す図である。

【0380】図29に示すように、過渡電源電流波形測定器48には、電流センサ22と、波形測定器52と、電流積分器54とが設けられている。

【0381】波形測定器52は、電流センサ22により変換された電圧波形を測定するものである。波形測定器52としては、例えば、オシロスコープや集積回路自動*

$$\begin{aligned} Q_{DPT} &= \int_{-\infty}^{\infty} I_{DPT} dt \\ &= -C \int_{-\infty}^{\infty} \frac{dv(t)}{dt} dt = -C[v(t)]_{-\infty}^{\infty} = C[v(-\infty) - v(\infty)] \end{aligned} \quad \dots (54)$$

【0390】で表される。

【0391】即ち、所定の時間におけるコンデンサ28の電圧の初期値と最終値とを測定し、その差を算出すれば、被試験回路20を流れる過渡電源電流 I_{DPT} の積分値 Q_{DPT} を求めることができる。

【0392】なお、コンデンサ28の電圧の初期値は、被試験バスの入力信号線に信号遷移が生じる直前に測定し、コンデンサ28の電圧の最終値は被試験バス上のすべての論理ゲートがスイッチングし、電源電流が静止電源電流値 I_{DDQ} となった直後に測定することが望ましい。

【0393】但し、電源電流が静止電源電流値 I_{DDQ} と

*試験装置等を用いることができる。

【0382】電流積分器54は、波形測定器52によって測定された電流波形のうち、所定の時間における積分値を算出するものである。電流積分器54としては、ハードウェアを用いてもよいし、ソフトウェアを用いてもよい。

【0383】次に、本実施形態で用いられる過渡電源電流積分値測定器の他の具体例を図30を用いて説明する。図30は、本実施形態で用いられる過渡電源電流積分値測定器の他の具体例を示す図である。

【0384】過渡電源電流積分値測定器48aには、スイッチ26、コンデンサ28、及び測定器56が設けられている。

【0385】測定器56は、コンデンサ28の被試験回路側の端子の電圧波形 $v(t)$ の瞬時値を測定するものである。測定器56としては、例えば、デジタル・マルチメータ、オシロスコープ、又は集積回路自動試験装置を用いることができる。

【0386】被試験回路が過渡状態のときに、コンデンサ28から被試験回路20に流れ込む過渡電源電流 I_{DPT} は、

【0387】
【数53】

$$I_{DPT} = -C \frac{dv(t)}{dt} \quad \dots (53)$$

【0388】で表される。従って、過渡電源電流の積分値 Q_{DPT} は、コンデンサ28の測定器56側における電圧の初期値と最終値をそれぞれ $v(-\infty)$ 、 $v(\infty)$ とすると、

【0389】
【数54】

なるタイミングを特定することが困難であるため、テストパターン系列を入力してから十分な時間が経過した後のタイミングで、コンデンサ28の電圧の最終値を測定してもよい。

(半導体集積回路の試験方法) 次に、本実施形態による半導体集積回路の試験方法について図31を用いて説明する。図31は、本実施形態による半導体集積回路の試験方法を示すフローチャートである。

【0394】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する(ステップ70)。

【0395】次に、過渡電源電流積分値測定器48によ

り、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流の所定の時間Tにおける積分値 Q_{oot} を測定する(ステップ71)。なお、ステップ71の処理は、ステップ70の処理とほぼ同時に行われる。所定の時間Tは、例えば、入力遷移の直前のタイミング $t(-\infty)$ から被試験回路20が十分安定するタイミング $t(\infty)$ までとする。また、過渡電源電流の積分値の測定は、一回だけ測定してもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。

【0396】次に、故障検出器50により、過渡電源電流の積分値 Q_{oot} と既定値とを比較する(ステップ72)。

【0397】過渡電源電流の積分値 Q_{oot} と既定値とを比較した結果、故障検出条件を満たしている場合には、“故障あり”と判断する(ステップ73)。

【0398】一方、過渡電源電流の積分値 Q_{oot} と既定値とを比較した結果、故障検出条件を満たしていない場合には、“故障なし”と判断する(ステップ74)。

【0399】こうして、処理が終了する。

【0400】なお、上記の処理手順は、図12に示すのと同様に、被試験回路内の試験対象となるすべての故障内容が網羅されるまで繰り返し行われる。故障リストは、例えば、生じうるすべての故障を試験するように作成してもよいし、同時に試験することができる故障をグループ化して作成してもよい。

(微小オープン欠陥又は抵抗性オープン欠陥の試験方法)次に、本実施形態による微小オープン欠陥又は抵抗性オープン欠陥の試験方法を図32を用いて説明する。図32は、本実施形態による微小オープン欠陥又は抵抗性オープン欠陥の試験方法を示すフローチャートである。

【0401】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する(ステップ80)。

【0402】次に、過渡電源電流積分値測定器48により、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流の所定時間Tにおける積分値 Q_{oot} を測定する(ステップ81)。なお、ステップ81の処理は、ステップ80の処理とほぼ同時に行われる。また、所定の時間Tは、例えば、入力遷移の直前のタイミング $t(-\infty)$ から被試験回路が十分安定するタイミング $t(\infty)$ までとすることができる。また、過渡電源電流の積分値を測定する際、一回だけ測定することにより積分値を求めてもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。

【0403】次に、故障検出器50により、過渡電源電流の積分値 Q_{oot} と既定値とを比較する。既定値としては、例えば、故障のない回路において生じうる過渡電源電流の積分値の上限値 $Q_{oot} + \Delta_q$ とする(ステップ82)。

【0404】過渡電源電流の積分値 Q_{oot} と既定値とを比較した結果、 $Q_{oot} > Q_{oot,lv} + \Delta_q$ の場合には、式(44)に示すように“微小オープン欠陥又は抵抗性オープン欠陥あり”と判断する(ステップ83)。

【0405】一方、過渡電源電流の積分値 Q_{oot} と既定値とを比較した結果、 $Q_{oot} \leq Q_{oot,lv} + \Delta_q$ の場合には、式(44)に示すように“微小オープン欠陥又は抵抗性オープン欠陥なし”と判断する(ステップ84)。

【0406】こうして、処理が終了する。

【0407】なお、上記の処理手順は、被試験回路内の試験対象となるすべての試験内容が網羅されるまで繰り返し行われる。

(遅延故障試験方法)次に、本実施形態による遅延故障の試験方法を図33を用いて説明する。図33は、本実施形態による遅延故障の試験方法を示すフローチャートである。

【0408】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する(ステップ90)。

【0409】次に、過渡電源電流積分値測定器48により、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流の所定時間Tにおける積分値 Q_{oot} を測定する(ステップ91)。なお、ステップ91の処理は、ステップ90の処理とほぼ同時に行われる。また、所定の時間Tは、例えば、入力遷移の直前のタイミング $t(-\infty)$ から被試験回路20が十分安定するタイミング $t(\infty)$ までとする。また、過渡電源電流の積分値 Q_{oot} を測定する際、一回だけ測定することにより積分値を求めてもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。

【0410】次に、故障検出器104により、過渡電源電流の積分値 Q_{oot} と既定値 Q_{max} とを比較する(ステップ92)。

【0411】過渡電源電流の積分値 Q_{oot} と既定値 Q_{max} とを比較した結果、 $Q_{oot} > Q_{max}$ の場合には、式(51)に示すように、“遅延故障あり”と判断する(ステップ93)。

【0412】一方、過渡電源電流の積分値 Q_{oot} と既定値 Q_{max} とを比較した結果、 $Q_{oot} \leq Q_{max}$ の場合には、式(51)に示すように、“遅延故障なし”と判断する(ステップ94)。

【0413】こうして、処理が終了する。なお、上記の処理手順は、被試験回路内の試験対象となるすべての故障内容が網羅されるまで繰り返し行われる。

(縮退故障試験)次に、本実施形態による縮退故障の試験方法について図34を用いて説明する。図34は本実施形態による縮退故障の試験方法を示すフローチャートである。

【0414】まず、テストパターン発生器14により、被試験バスを活性化するテストパターン系列を入力する

(ステップ100)。

【0415】次に、過渡電源電流積分値測定器48により、電源12から被試験回路20の電源ラインに流れ込む過渡電源電流の所定時間Tにおける積分値 Q_{00T} を測定する(ステップ101)。なお、ステップ101の処理は、ステップ100の処理とほぼ同時に行われる。また、過渡電源電流の積分値の測定は、一回だけ測定してもよいし、複数回測定して平均値を求めることにより測定精度を向上してもよい。また、所定の時間Tは、例えば、入力遷移の直前のタイミング $t(-\infty)$ から被試験回路20が十分安定するタイミング $t(\infty)$ までとする。

【0416】次に、故障検出器104により、過渡電源電流の積分値 Q_{00T} と既定値とを比較する。既定値としては、例えば、故障のない回路において生じる過渡電源電流の積分値の下限値 $Q_{00T, \text{typ}} - \Delta_q$ とする(ステップ102)。

【0417】過渡電源電流の積分値 Q_{00T} と既定値とを比較した結果、式(52)に示すように、 $Q_{00T} < Q_{00T, \text{typ}} - \Delta_q$ の場合は、“縮退故障あり”と判断する(ステップ103)。

【0418】一方、過渡電源電流の積分値 Q_{00T} と既定値とを比較した結果、 $Q_{00T} \geq Q_{00T, \text{typ}} - \Delta_q$ の場合には、“縮退故障なし”と判断する(ステップ104)。

【0419】こうして、処理が終了する。

【0420】なお、上記の処理手順は、被試験回路内の試験対象となるすべての故障内容が網羅されるまで繰り返し行われる。

【0421】このように、本実施形態によれば、過渡電源電流の積分値を用いて遅延故障を検出することにより、半導体集積回路の被試験バスにおける遅延故障や縮退故障の有無を容易に試験することができる。

【0422】〔変形実施形態〕本発明は上記実施形態に限らず種々の変形が可能である。

【0423】例えば、上記実施形態では、CMOS集積回路を例に説明したが、CMOS集積回路のみならず、他の半導体集積回路にも適宜用いることができる。

【0424】

【発明の効果】以上の通り、本発明によれば、過渡電源電流波形のバース幅を求めることにより、簡便な方法で被試験バスのバス遅延時間を測定することができる。しかも、本発明によれば、測定が容易な過渡電源電流の波形を測定すればよいので、電圧信号を測定する場合より容易に測定することができる。

【0425】また、本発明によれば、過渡電源電流の波形を測定すればよいので、出力信号を外部に出力することができない被試験バスについても試験することができる。しかも、本発明によれば、任意に生成したパターン系列を入力すれば試験を行うことができるので、試験方法を簡略化することができる。また、本発明によれば、

サイド入力の入力値について特段の制限がないので、簡便に試験を行うことができる。

【0426】また、本発明によれば、過渡電源電流の波形のバース幅を求め、このバース幅と許容可能な遅延時間の上限値とを比較することにより、被試験バスにおける遅延故障の有無を試験することができる。また、本発明によれば、複数のバスを同時に活性化できるテストパターンが存在する場合には、複数のバスにおける遅延故障を同時に試験することも可能である。

【0427】また、本発明によれば、過渡電源電流の波形のバース幅を求め、このバース幅と製造プロセスのパラッキを考慮した値とを比較することにより、被試験バスにおける縮退故障の有無を試験することもできる。

【0428】また、本発明によれば、所定のタイミングにおける過渡電源電流の瞬時値を用いて遅延故障や縮退故障を評価するので、半導体集積回路の被試験バスにおける故障の有無を容易に判断することができる。

【0429】また、本発明によれば、過渡電源電流の積分値を用いて遅延故障を検出することにより、半導体集積回路の被試験バスにおける遅延故障や縮退故障の有無を容易に試験することができる。

【図面の簡単な説明】

【図1】CMOSインバータの過渡応答を示す図である。

【図2】CMOSインバータの過渡応答波形を拡大して示した図である。

【図3】複数の論理ゲートを用いて構成された半導体集積回路の動作原理を示す図である。

【図4】本発明の第1実施形態による遅延故障試験方法の基本原理解を示す概念図である。

【図5】本発明の第1実施形態による半導体集積回路の試験方法の基本原理解を示すタイムチャートである。

【図6】本発明の第1実施形態による遅延時間測定装置を示すブロック図である。

【図7】過渡電源電流波形測定器の具体例を示すブロック図である。

【図8】過渡電源電流波形測定器の他の具体例を示すブロック図である。

【図9】本発明の第1実施形態による遅延時間測定方法を示すフローチャートである。

【図10】本発明の第1実施形態による半導体集積回路の試験装置を示すブロック図である。

【図11】本発明の第1実施形態による半導体集積回路の試験方法を示すフローチャートである。

【図12】繰り返して故障試験を行う場合の試験方法を示すフローチャートである。

【図13】本発明の第1実施形態による遅延故障の試験方法を示すフローチャートである。

【図14】本発明の第1実施形態による縮退故障の試験方法を示すフローチャートである。

【図15】本発明の第2実施形態による半導体集積回路の試験方法の基本原則を示すタイムチャートである。

【図16】本発明の第2実施形態による半導体集積回路の試験装置を示す図である。

【図17】過渡電源電流瞬時値測定器の具体例を示す図である。

【図18】過渡電源電流瞬時値測定器の他の具体例を示す図である。

【図19】本発明の第2実施形態による遅延故障の試験方法を示すフローチャートである。

【図20】CMOSインバータの過渡応答波形を拡大して表した図である。

【図21】CMOSインバータの入力遷移時間と過渡電流の積分値との関係を示すグラフである。

【図22】オープン欠陥を示す概念図である。

【図23】入力側に微小オープン欠陥又は抵抗性オープン欠陥が生じているインバータを示す図である。

【図24】微小オープン欠陥又は抵抗性オープン欠陥の抵抗値と過渡電源電流の積分値との関係を示すグラフである。

【図25】過渡電源電流の積分値の変動を示すグラフである。

【図26】微小オープン欠陥又は抵抗性オープン欠陥の抵抗値とバス遅延時間との関係を示すグラフである。

【図27】過渡電源電流の積分値とバス遅延時間との関係を示すグラフである。

【図28】本発明の第3実施形態による半導体集積回路の試験装置を示すブロック図である。

【図29】過渡電源電流積分値測定器の具体例を示す図である。

【図30】過渡電源電流積分値測定器の他の具体例を示す図である。

【図31】本発明の第3実施形態による半導体集積回路の試験方法を示すフローチャートである。

*

*【図32】本発明の第3実施形態による微小オープン欠陥又は抵抗性オープン欠陥の試験方法を示すフローチャートである。

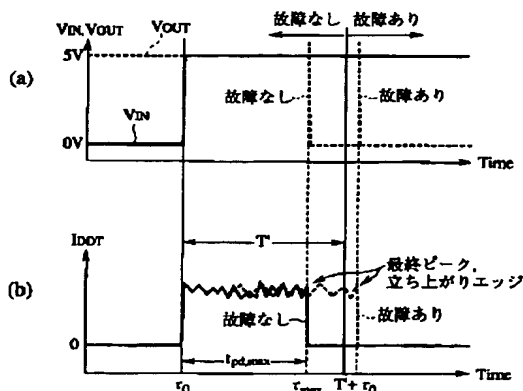
【図33】本発明の第3実施形態による遅延故障の試験方法を示すフローチャートである。

【図34】本発明の第3実施形態による縮退故障の試験方法を示すフローチャートである。

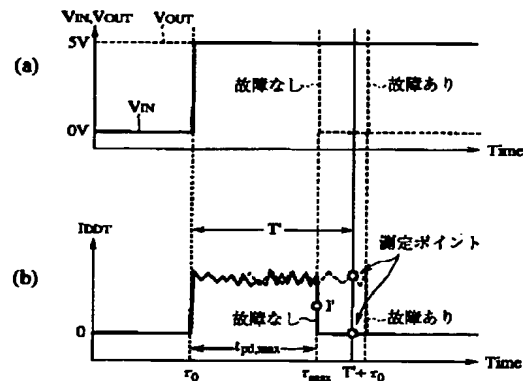
【符号の説明】

- 10…遅延時間測定装置
- 12…電源
- 14…テストパターン発生器
- 16、16a…過渡電源電流波形測定器
- 18…遅延時間評価器
- 20…被試験回路
- 22…電流センサ
- 24…波形測定器
- 26…スイッチ
- 28…コンデンサ
- 30…波形微分器
- 32…半導体集積回路試験装置
- 34…故障検出器
- 36…半導体集積回路試験装置
- 38、38a…過渡電源電流瞬時値測定器
- 40…故障検出器
- 42…測定器
- 44…微分測定器
- 45…信号線
- 46…半導体集積回路試験装置
- 48、48a…過渡電源電流積分値測定器
- 50…故障検出器
- 52…波形測定器
- 54…電流積分器
- 56…測定器

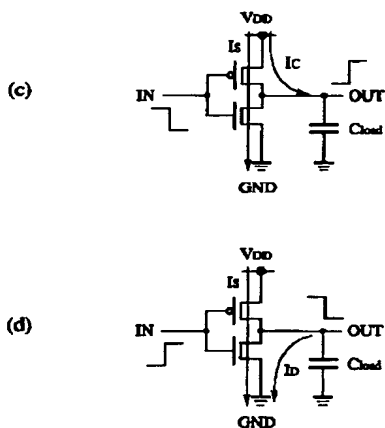
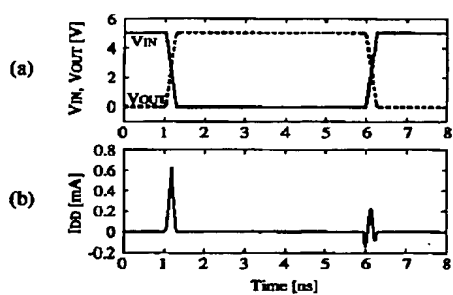
【図5】



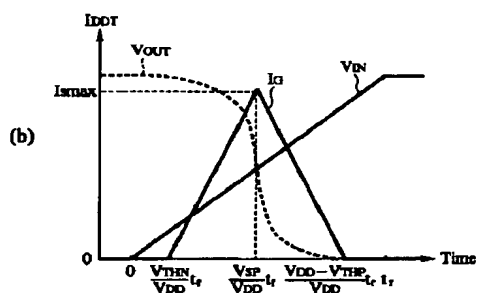
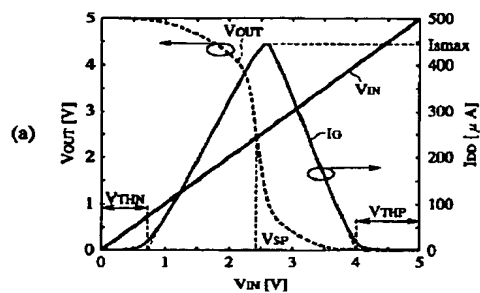
【図15】



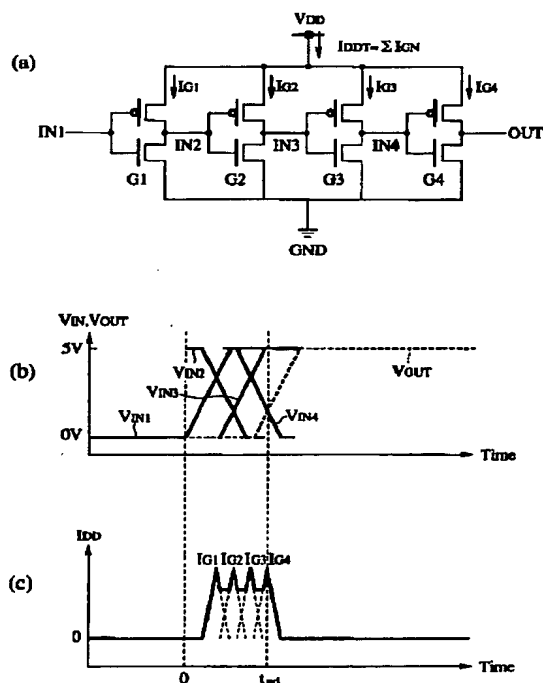
【図1】



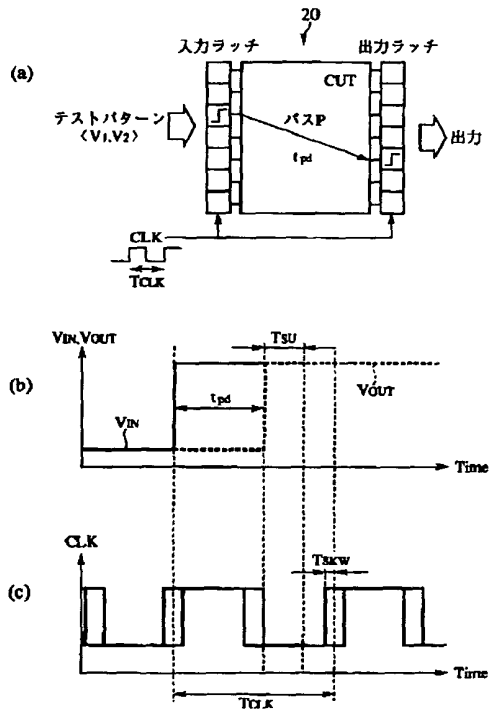
【図2】



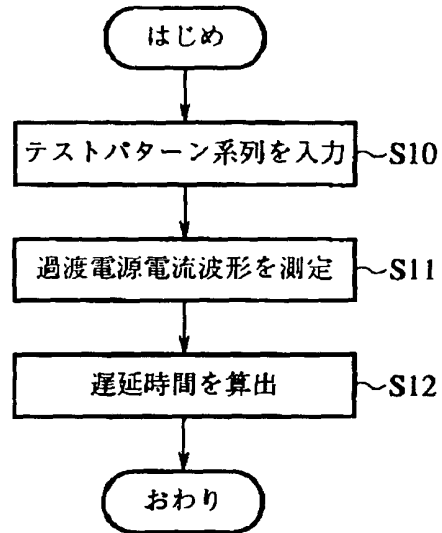
【図3】



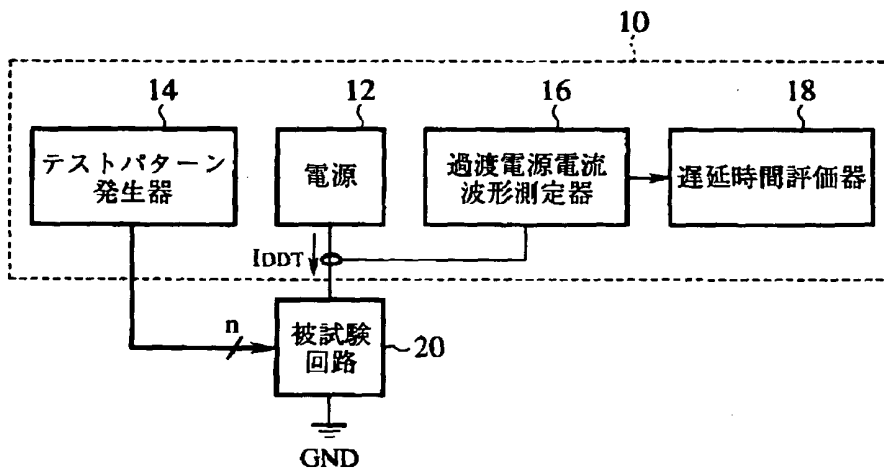
【図4】



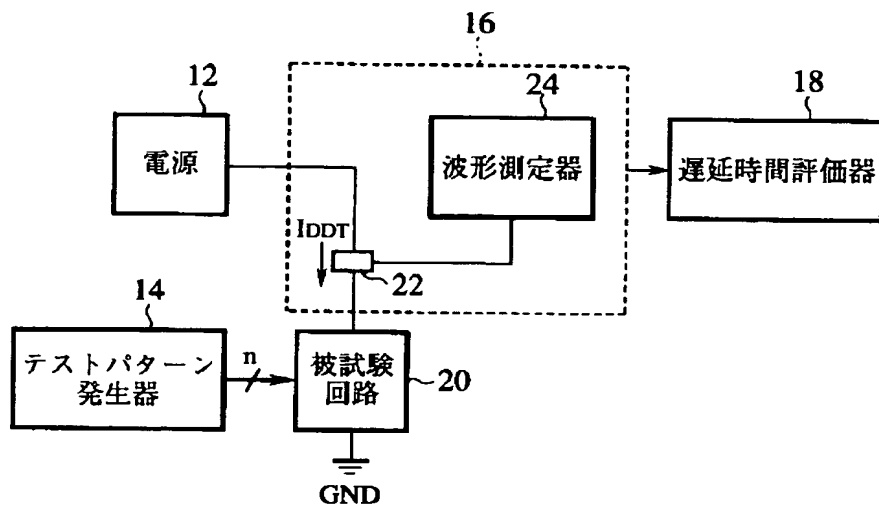
【図9】



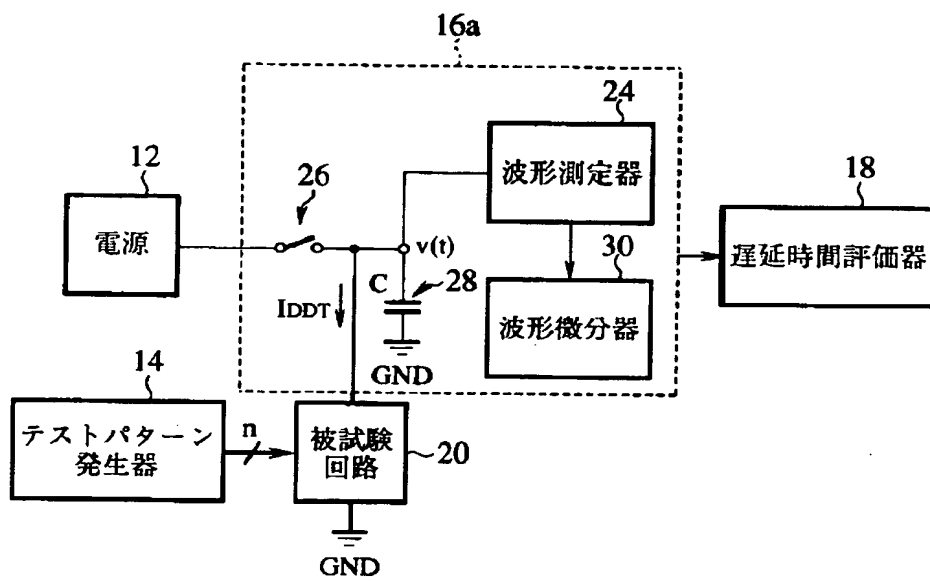
【図6】



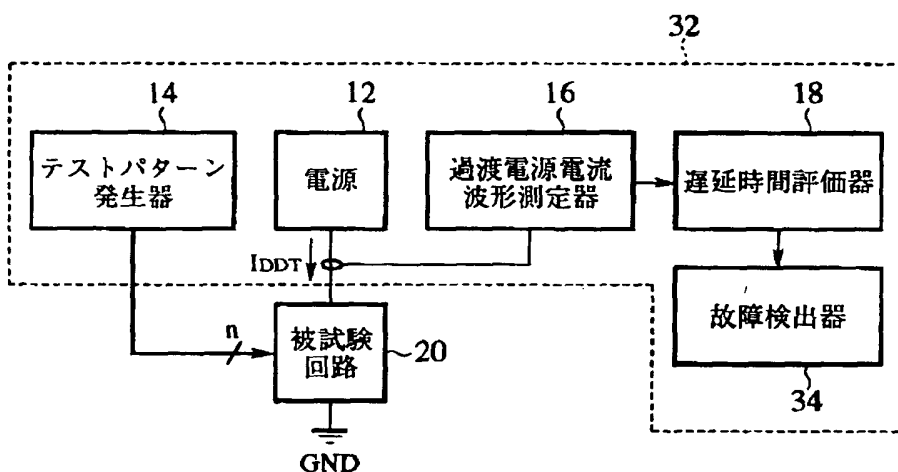
【図7】



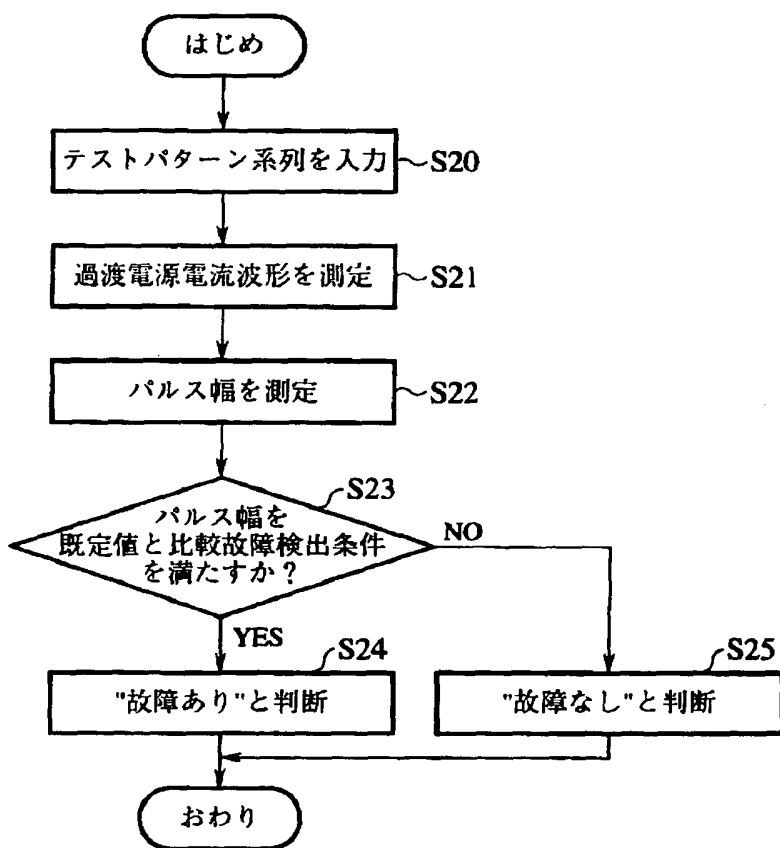
【図8】



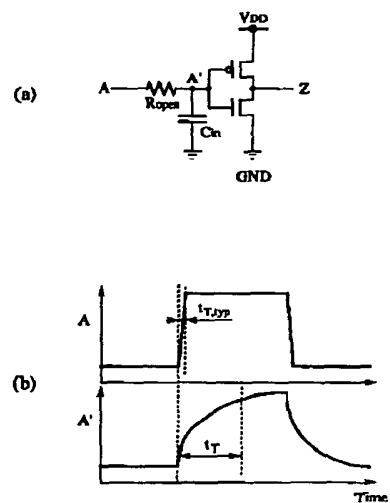
【図10】



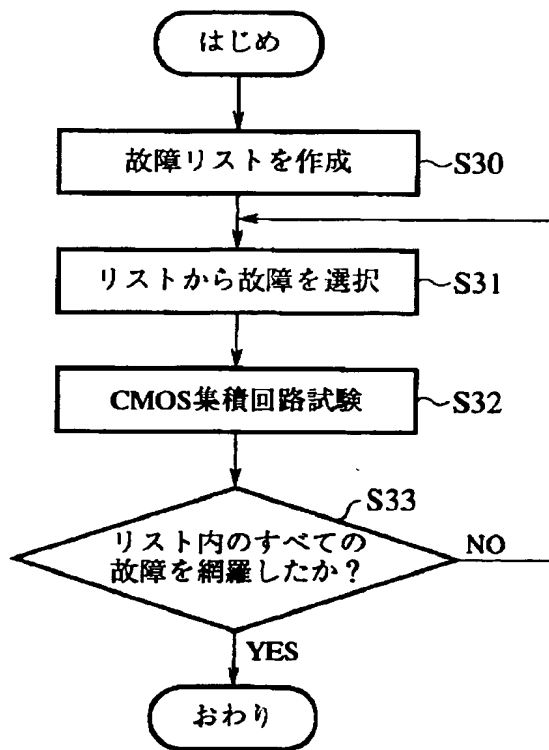
【図11】



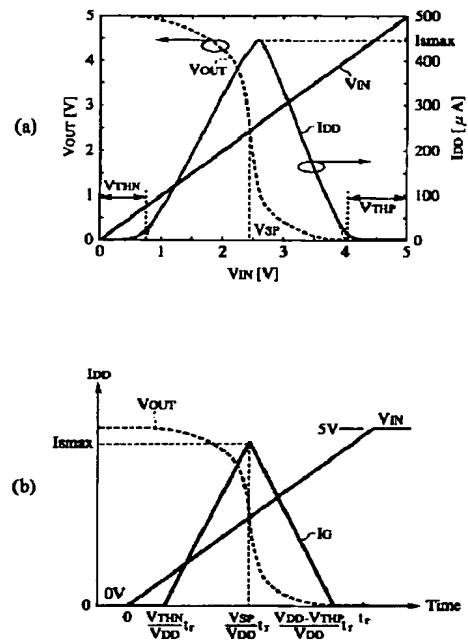
【図23】



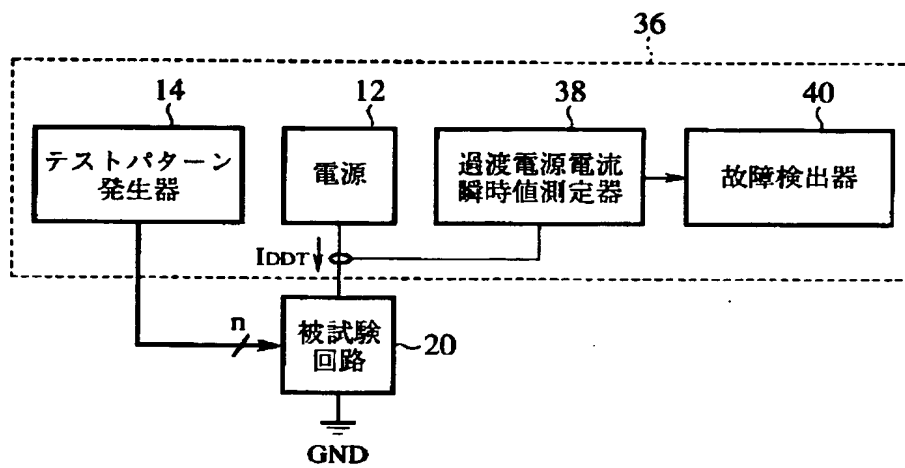
【図12】



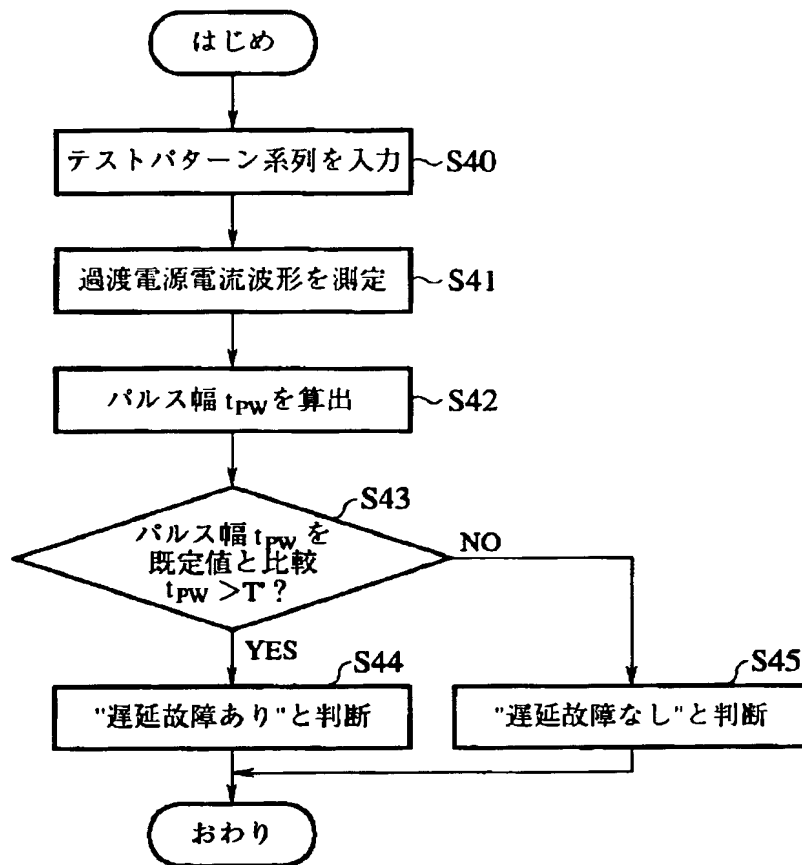
【図20】



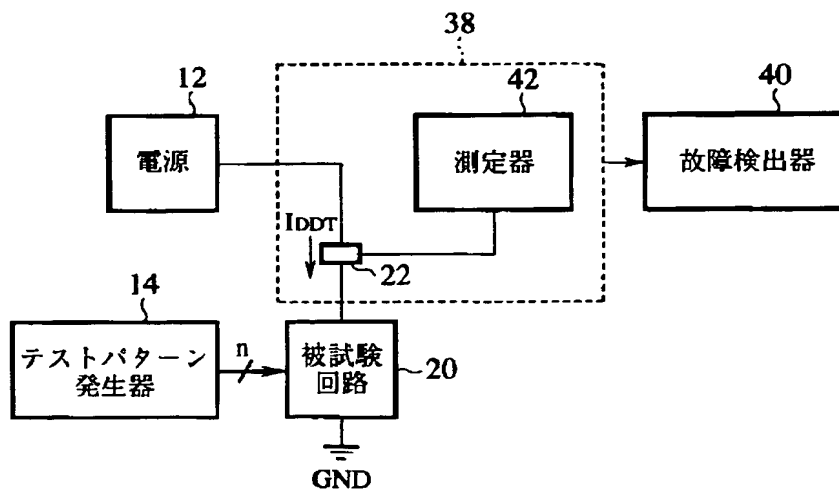
【図16】



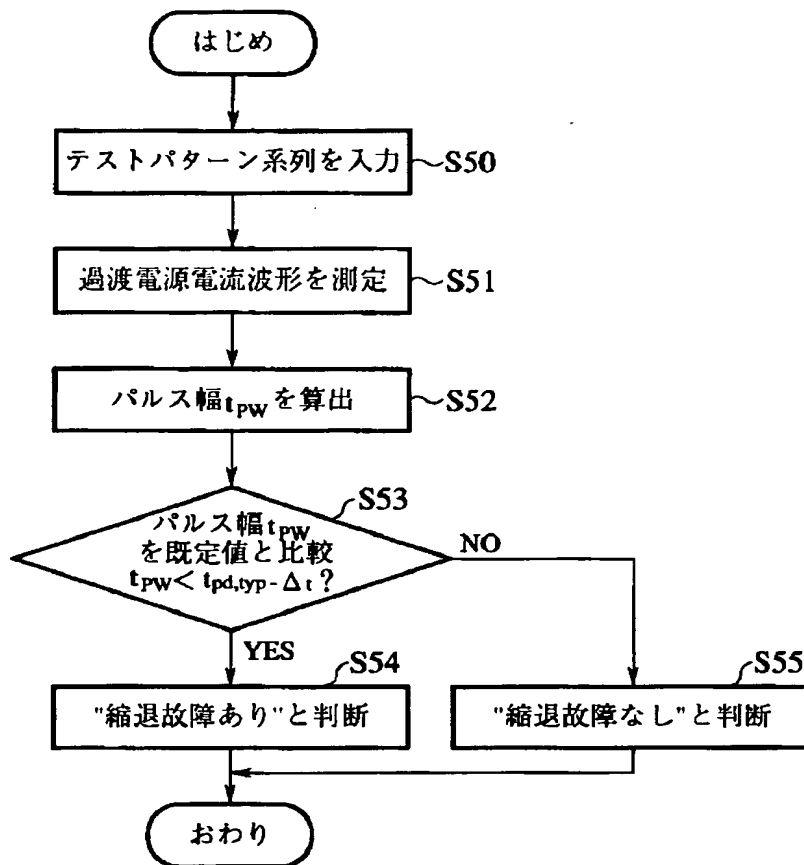
【図13】



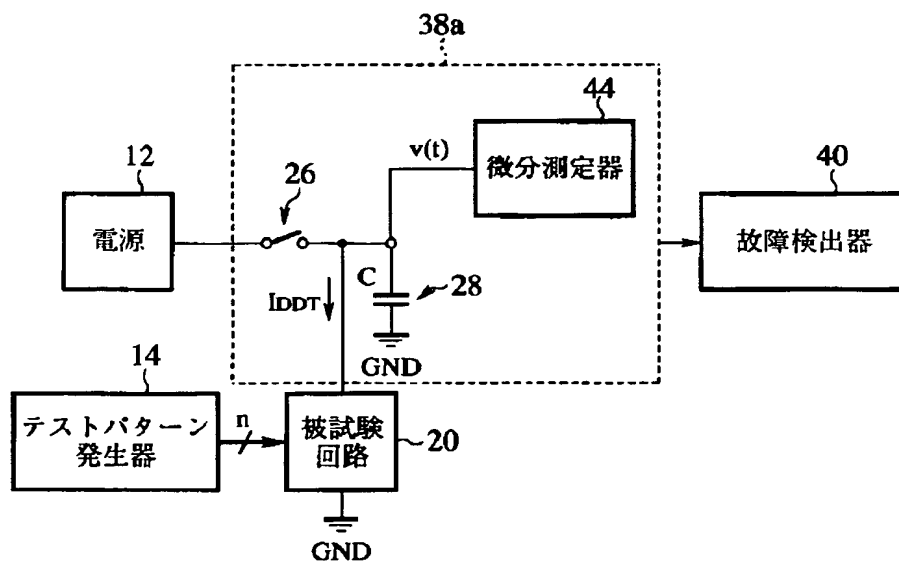
【図17】



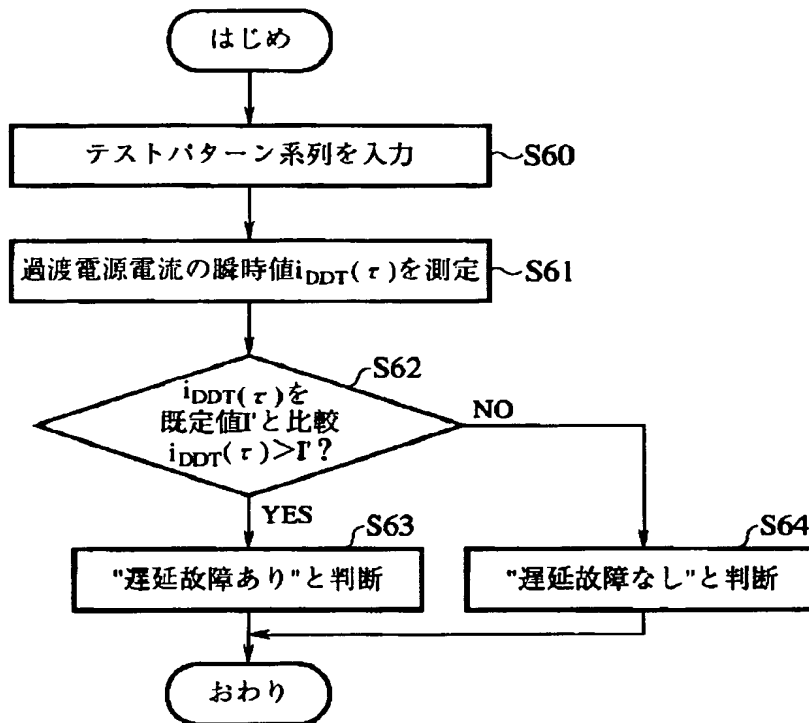
【図14】



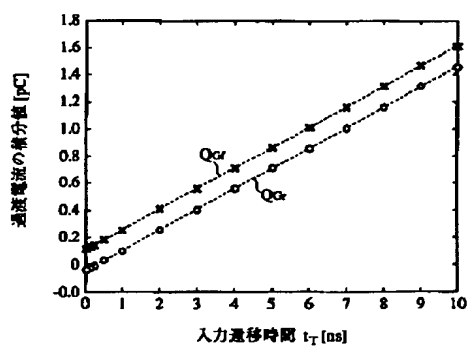
【図18】



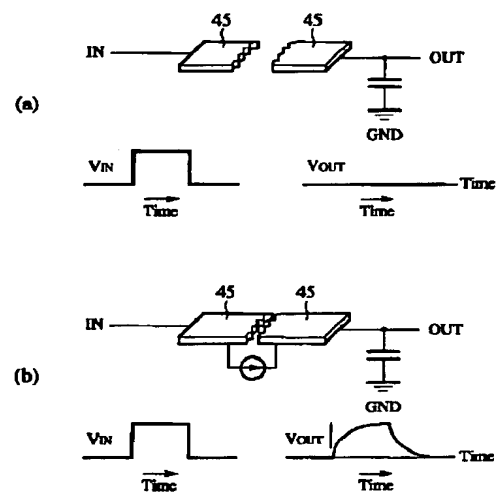
【図19】



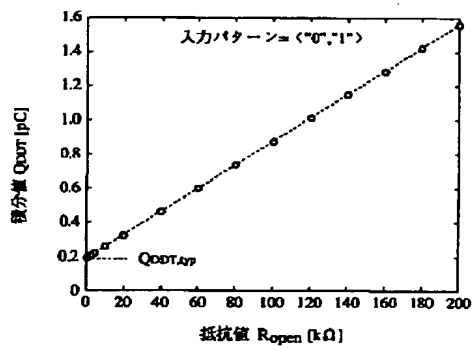
【図21】



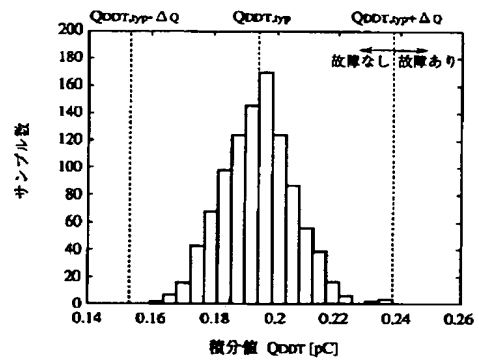
【図22】



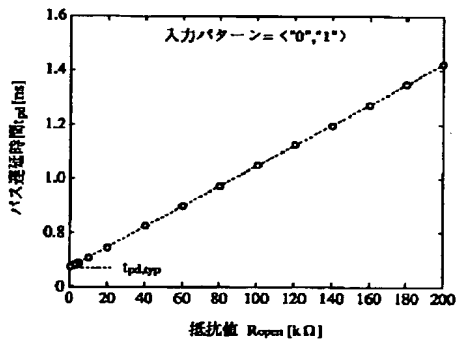
【図24】



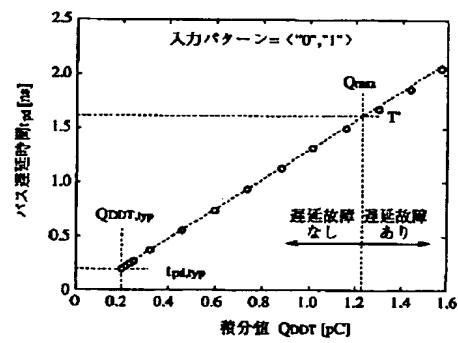
【図25】



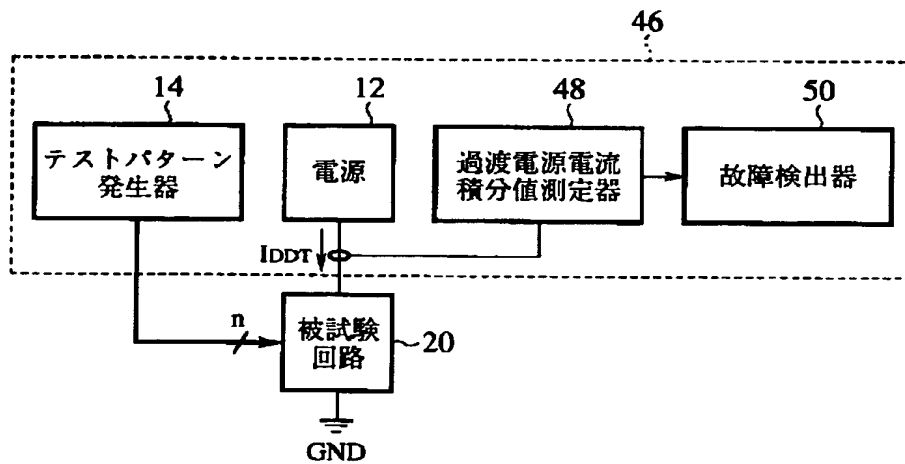
【図26】



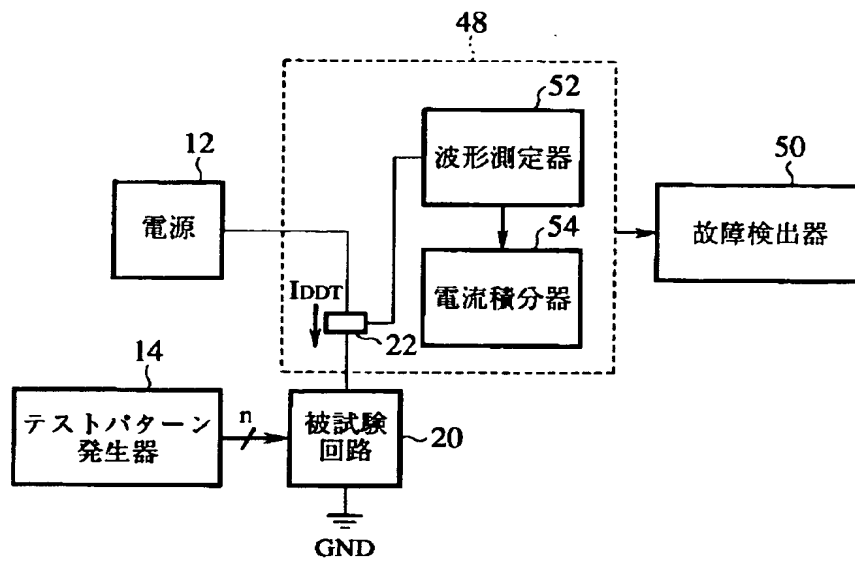
【図27】



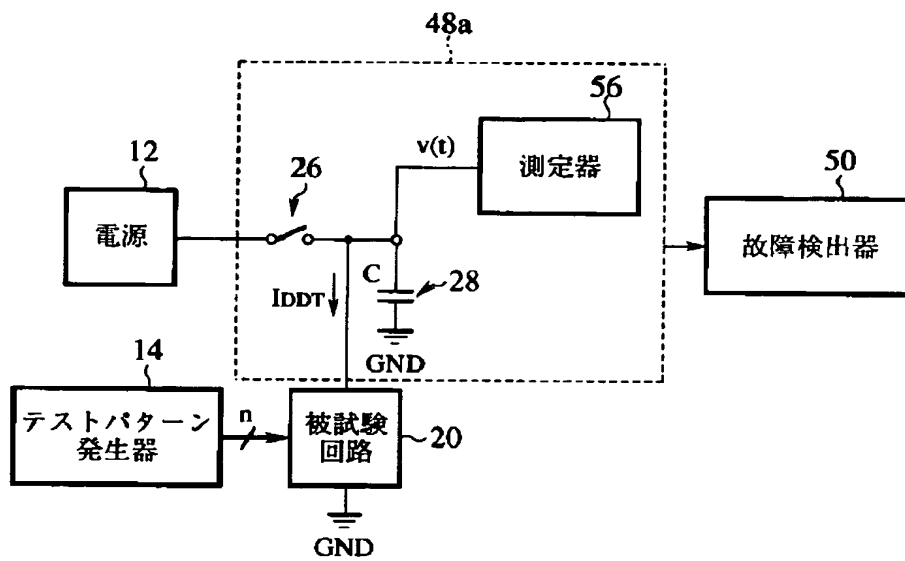
【図28】



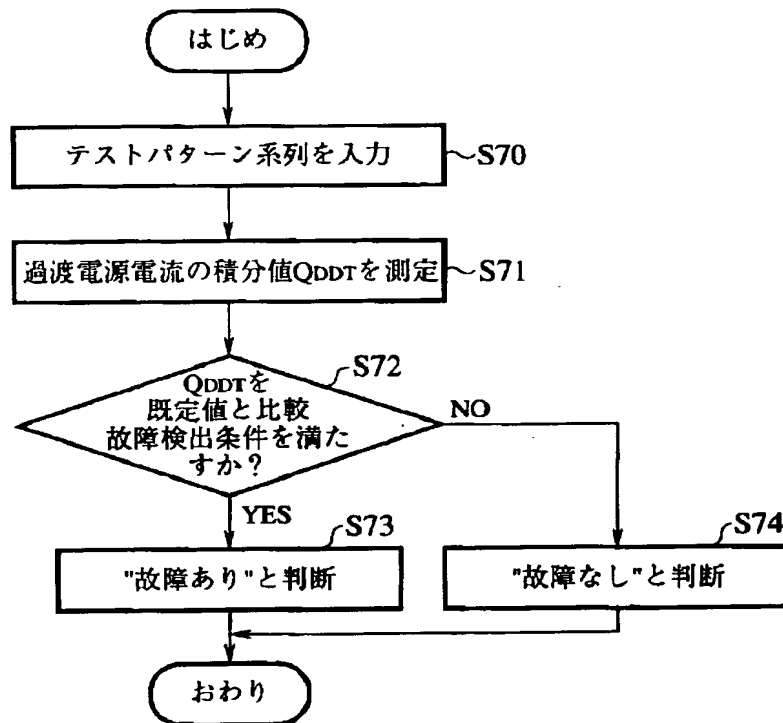
【図29】



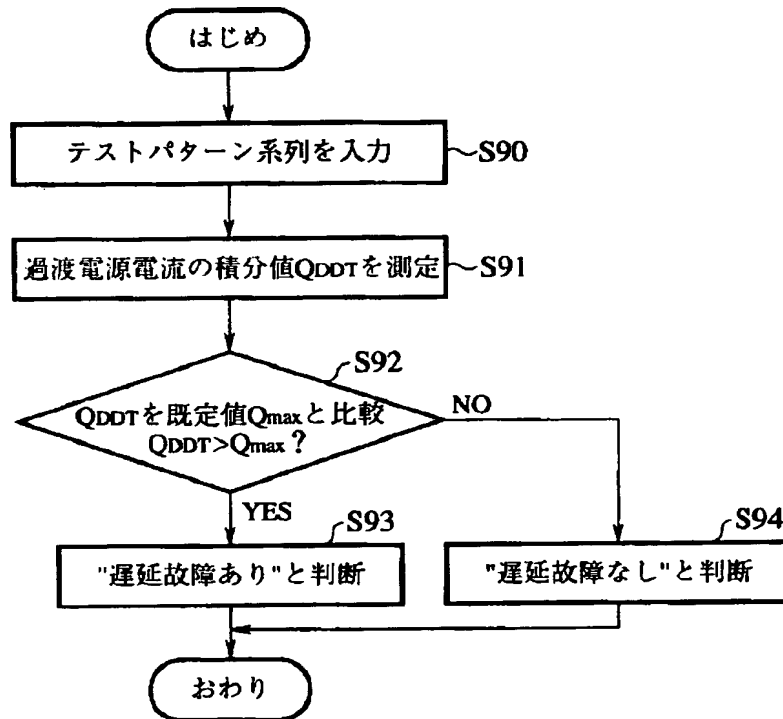
【図30】



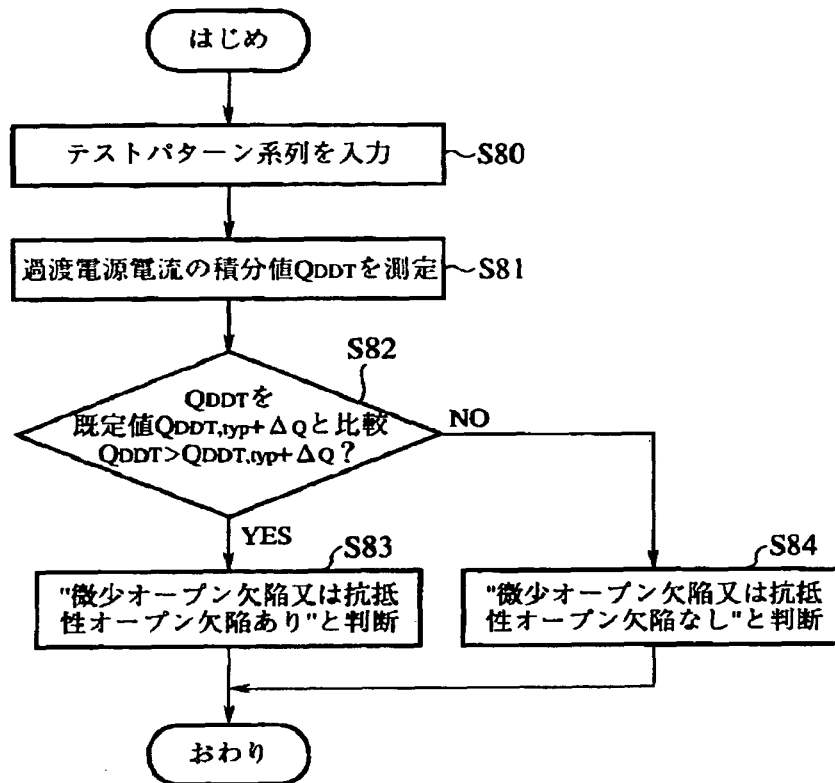
【図31】



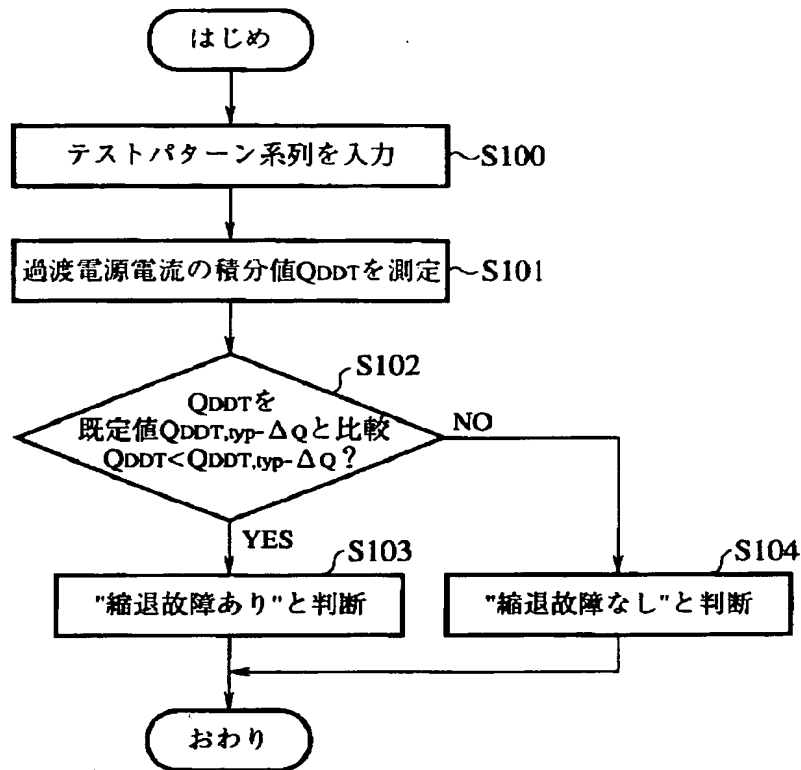
【図33】



【図32】



【図34】



フロントページの続き

(72)発明者 橋本 好弘
東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

Fターム(参考) 2G003 AA07 AB01 AB18 AE06 AH01
AH04 AH05
2G015 AA24 CA04 CA21
2G032 AA00 AB00 AC03 AD06 AD07
AD08 AE06 AE08 AE12 AG07
AL16